

1765
08.12.99

REC'D 04 FEB 2000

WIPO

PCT

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年 8月 6日

出願番号
Application Number:

平成11年特許願第224692号

出願人
Applicant(s):

株式会社フロンテック

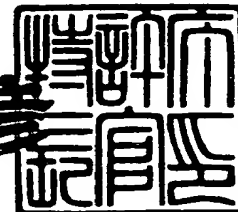
RECEIVED
NOV 1 2000
GROUP 1700

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 1月21日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3094767

【書類名】 特許願

【整理番号】 J78630B1

【提出日】 平成11年 8月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/205

【発明の名称】 配線とこれを用いた薄膜トランジスタ基板およびその製造方法と液晶表示装置

【請求項の数】 20

【発明者】

【住所又は居所】 宮城県仙台市泉区明通三丁目31番地 株式会社フロンテック内

【氏名】 佐々木 真

【発明者】

【住所又は居所】 宮城県仙台市泉区明通三丁目31番地 株式会社フロンテック内

【氏名】 蔡 基成

【特許出願人】

【識別番号】 395003523

【氏名又は名称】 株式会社フロンテック

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100106493

【弁理士】

【氏名又は名称】 松富 豊

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【先の出願に基づく優先権主張】

【出願番号】 平成10年特許願第375320号

【出願日】 平成10年12月14日

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9722334

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線とこれを用いた薄膜トランジスタ基板およびその製造方法
と液晶表示装置

【特許請求の範囲】

【請求項 1】 銅層の周囲に、チタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有することを特徴とする配線。

【請求項 2】 銅層の周囲に、モリブデン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 3 である組成の被膜を有することを特徴とする配線。

【請求項 3】 銅層の周囲に、クロム原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有することを特徴とする配線。

【請求項 4】 銅層の周囲に、タンタル原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2.5 である組成の被膜を有することを特徴とする配線。

【請求項 5】 前記被膜は、チタン膜と、チタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有することを特徴とする請求項 1 記載の配線。

【請求項 6】 前記被膜は、前記銅層の周囲に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有することを特徴とする請求項 1 記載の配線。

【請求項 7】 前記被膜は、前記銅層の周囲の一部に形成されたチタン膜と、前記銅層の周囲の残部に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有することを特徴とする請求項 1 記載の配線。

【請求項 8】 前記被膜は、クロム膜と、クロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有することを特徴とする請求項 3 記載の配線。

【請求項 9】 前記被膜は、前記銅層の周囲に形成されたクロム膜と該クロム膜の表面に形成されたクロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有することを特徴とする請求項 3 記載の配線。

【請求項 10】 前記被膜は、前記銅層の周囲の一部に形成されたクロム膜

と、前記銅層の周囲の残部に形成されたクロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有することを特徴とする請求項 3 記載の配線。

【請求項 11】 請求項 1 乃至 4 のいずれかに記載の配線を有することを特徴とする薄膜トランジスタ基板。

【請求項 12】 基体上に TiN 膜を介して請求項 1 に記載の配線を設けたことを特徴とする薄膜トランジスタ基板。

【請求項 13】 銅層の表面に、チタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有する配線が、基体上に TiN 膜を介して設けられたことを特徴とする薄膜トランジスタ基板。

【請求項 14】 前記配線の被膜は、前記銅層の表面に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有することを特徴とする請求項 13 記載の薄膜トランジスタ基板。

【請求項 15】 チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属膜を形成した基体の前記金属膜上に、銅からなるターゲットを使用して銅膜を成膜し、該銅膜と前記金属膜とを所望配線形状にパターニングし、ついで前記基体をアニール処理して前記パターニングした銅膜上にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 16】 基体上に TiN 膜を成膜し、ついで前記 TiN 膜上にチタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 であるチタン系膜を成膜し、ついで前記チタン系膜上に銅からなるターゲットを使用して銅膜を成膜して積層膜とし、該積層膜を所望配線形状にパターニングし、ついで前記基体をアニール処理して前記パターニングした銅膜上にチタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 であるチタン被膜を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 17】 前記 TiN 膜上に成膜するチタン系膜の膜厚を 100 オングストローム乃至 200 オングストロームとすることを特徴とする請求項 16 に

記載の薄膜トランジスタ基板の製造方法。

【請求項 18】 前記被膜が酸素を含有することを特徴とする請求項 15 又は 16 に記載の薄膜トランジスタ基板の製造方法。

【請求項 19】 前記銅膜の成膜前にチタン系膜の表面に生成したチタンの酸化層を、プラズマエッチングにより除去することを特徴とする請求項 16 記載の薄膜トランジスタ基板の製造方法。

【請求項 20】 対向配置された一对の基板の間に液晶が挟持され、前記一对の基板の一方が請求項 11 又は 12 又は 13 に記載の薄膜トランジスタ基板であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、低抵抗の銅を電極や配線材料に用いた配線とこれを用いた薄膜トランジスタ (TFT) 基板及びその製造方法と液晶表示装置に関する。

【0002】

【従来の技術】

一般に、液晶表示装置に備えられる基板としては、薄膜トランジスタ (TFT) 基板が知られている。

図 33 と図 34 は、ゲート配線 G とソース配線 S などの部分を基板 86 上に備えた一般的な薄膜トランジスタ基板の一構造例を示すものである。図 33 と図 34 に示す薄膜トランジスタ基板において、ガラスなどの透明の基板 86 上に、ゲート配線 G とソース配線 S とがマトリクス状に配線されている。また、ゲート配線 G とソース配線 S とで囲まれた領域が画素部 81 とされ、各画素部 81 には薄膜トランジスタ 83 が設けられている。

【0003】

薄膜トランジスタ 83 はエッチストップ型の一般的な構成のものであり、A1 又は A1 合金などの導電材料からなるゲート配線 G とこのゲート配線 G から引き出して設けたゲート電極 88 上に、ゲート絶縁膜 89 を設け、このゲート絶縁膜 89 上にアモルファスシリコン (a-Si) からなる半導体能動膜 90 をゲート

電極 88 に対向させて設け、更にこの半導体能動膜 90 上に A1 又は A1 合金などの導電材料からなるドレイン電極 91 とソース電極 92 とを相互に対向させて設けて構成されている。なお、半導体能動膜 90 の両側の上部側にはリンなどのドナーとなる不純物を高濃度にドーピングしたアモルファスシリコンなどのオーミックコンタクト膜 90a、90a が形成され、それら上に形成されたドレイン電極 91 とソース電極 92 と、半導体能動膜 90 とで挟まれた状態でエッチングストッパー 93 が形成されている。また、ドレイン電極 91 の上からドレイン電極 91 の側方側にかけてインジウム酸化錫（以下、ITO と略記する。）からなる透明画素電極 95 が接続されている。

【0004】

そして、ゲート絶縁膜 89 と透明画素電極 95 とドレイン電極 91 とソース電極 92 などの上を覆ってこれらの上にパッシベーション膜 96 が設けられている。このパッシベーション膜 96 上には図示略の配向膜が形成され、この配向膜の上方に液晶が設けられてアクティブマトリクス液晶表示装置が構成されていて、透明画素電極 95 によって液晶の分子に電界を印加すると液晶分子の配向制御ができるようになっている。

【0005】

図 33 と図 34 に示した薄膜トランジスタ基板を製造する方法としては、アルミニウムまたはアルミニウム合金からなるターゲットを用い、該ターゲットに直流電力を印加する通常のスパッタ法などの薄膜形成手段によりガラス基板 86 上に A1 又は A1 合金層を形成後、フォトリソグラフィ法によりゲート形成位置以外の場所の A1 又は A1 合金層を除去してゲート電極 88 を形成した後、CVD 法などの薄膜形成手段により SiO_2 や SiN_x からなるゲート絶縁膜 89、半導体能動膜 90、エッチングストッパー 93 を形成し、ついでこれらの上に上述のスパッタ法、フォトリソグラフィ法によりオーミックコンタクト膜 90a、ドレイン電極 91 及びソース電極 92 を形成し、ついで形成したドレイン電極 91 及びソース電極 92 をマスクして、オーミックコンタクト膜 90a の一部を除去してオーミックコンタクト膜 90a を分割した後、CVD 法などによりパッシベーション膜 96 を形成することにより、薄膜トランジスタ基板が得られる。

【0006】

ところで、近年、液晶表示装置の高速化等に伴い、ゲート電極、ゲート配線、ソース配線、ドレイン配線などの電極や配線の抵抗による信号伝達の遅延の問題が顕在化されており、このような問題を解決するために電極や配線を構成する材料としてAlまたはAl合金より低抵抗の銅の使用が検討されている。この銅配線は、AlまたはAl合金から配線を構成する場合と同様に通常のスパッタ法によりCu層を形成後、フォトリソグラフィ法により配線形成位置以外の場所のCu層を除去することにより形成できる。

【0007】

【発明が解決しようとする課題】

しかしながら図33と図34に示したような構造の薄膜トランジスタ基板が備えられた液晶表示装置において、ゲート電極88などの電極やゲート配線Gなどの配線の材料（以下、配線材料と略記する。）として銅を用いると、銅が薬液に弱いこと、後工程で他の層をエッチングする際に使用される酸化力のある酸系エッチング剤が銅膜にしみ込んで来たときにこの銅膜がエッチングされて損傷を受けることがあり、さらに損傷が進行すると下地膜としての基板86から剥離したり、断線不良が生じることがあるため、用いるエッチング剤が制限されてしまうという問題があった。

また、配線材料として銅を用いると、フォトリソグラフィ工程で使用するレジスト剥離液が銅膜にしみ込んで来たときにこのレジスト剥離液により銅膜が腐食することがあった。

【0008】

また、銅膜のエッチングメカニズムは、銅膜表面を酸化してエッチングを行うものであるが、エッチング前に空気中の水分や酸素により銅膜の表面にCuOやCu₂Oなどの酸化層ができてしまうと、酸化力のないエッチング剤でもエッチングされて損傷を受け、さらには断線不良が生じるという問題があった。そこで、表面にCuOやCu₂Oなどの酸化層の発生を防止できるCu系配線材料として、Cu合金が考えられているが、Cu合金はCuに比べて配線比抵抗が大きくなってしまい、低抵抗の材料を用いる効果があまり期待できなくなってしまう。

また、ゲート電極 8 8 を銅膜から構成すると、Cu がゲート絶縁膜 8 9 に拡散し、絶縁耐圧不良が生じるという問題があり、さらに、基板 8 6 がガラス基板であると、ゲート電極 8 8 に基板 8 6 中の Si がゲート電極 8 8 に入り込み、ゲート電極 8 8 の抵抗が上昇してしまう。また、ドレイン電極 9 1 やソース電極 9 2 を銅膜から構成すると、各電極 9 1, 9 2 と半導体能動膜 9 0 との間で元素の相互拡散が生じ、半導体能動膜の特性が劣化してしまうという問題があった。

【0009】

本発明は上記事情に鑑みてなされたもので、低抵抗の銅を配線材料として用いる場合に、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐腐食性を向上でき、下地との密着性を向上でき、さらに隣接膜との間での元素の相互拡散を防止できる配線とこれを用いた薄膜トランジスタ基板およびその製造方法と、そのような薄膜トランジスタ基板を備えた液晶表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の配線は、上記課題を解決するために、銅層の周囲に、チタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有することを特徴とする。ここでの被膜の具体例としては、チタン被膜、酸化チタン被膜などが挙げられる。

また、本発明の配線は、上記課題を解決するために、銅層の周囲に、モリブデン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 3 である組成の被膜を有することを特徴とするものであってもよい。ここでの被膜の具体例としては、モリブデン被膜、酸化モリブデン被膜などが挙げられる。

また、本発明の配線は、上記課題を解決するために、銅層の周囲に、クロム原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有することを特徴とするものであってもよい。ここでの被膜の具体例としては、クロム被膜、酸化クロム被膜などが挙げられる。

さらにまた、本発明の配線は、上記課題を解決するために、銅層の周囲に、タンタル原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2.5 である組成の被膜

を有することを特徴とするものであってもよい。ここでの被膜の具体例としては、タンタル被膜、酸化タンタル被膜などが挙げられる。

【0011】

上記の銅層の周囲に形成される上記被膜の厚みは、50乃至300オングストローム程度とすることが好ましく、より好ましくは50乃至200オングストロームストローム程度である。上記被膜の厚みが50オングストローム未満であると、薄すぎて水分や酸素に対する耐酸化性ならびにエッチング剤やレジスト剥離液などに対する耐腐食性をあまり向上できず、また、隣接膜との間の元素の相互拡散が生じる場合がある。また、300オングストロームを超えて厚くしても目的とする効果が飽和する一方で成膜時間が増加し、また、配線比抵抗が上昇してしまう。

【0012】

また、本発明の配線で、銅層の周囲に、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜を有するものにおいては、上記被膜は、チタン膜と、チタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものであってもよい。

また、本発明の配線で、銅層の周囲に、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜を有するものにおいては、上記被膜は、上記銅層の周囲に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものであってもよい。

また、本発明の配線で、銅層の周囲に、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜を有するものにおいては、上記被膜は、上記銅層の周囲の一部に形成されたチタン膜と、上記銅層の周囲の残部に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有してなるものであってもよい。

【0013】

また、本発明の配線で、銅層の周囲に、クロム原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜を有するものにおいては、上記被膜は、ク

ロム膜と、クロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよい。

また、本発明の配線で、銅層の周囲に、クロム原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有するものにおいては、上記被膜は、上記銅層の周囲に形成されたクロム膜と該クロム膜の表面に形成されたクロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよい。

また、本発明の配線で、銅層の周囲に、クロム原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有するものにおいては、上記被膜は、上記銅層の周囲の一部に形成されたクロム膜と、上記銅層の周囲の残部に形成されたクロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよい。

【0014】

本発明の薄膜トランジスタ基板は、上記課題を解決するために、上記のいずれかの構成の本発明の配線を有することを特徴とする。

また、本発明の薄膜トランジスタ基板は、上記課題を解決するために、基体上に TiN 膜を介して上記のいずれかの構成の本発明の配線を設けたことを特徴とする。

また、本発明の薄膜トランジスタ基板は、銅層の周囲に、チタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有する配線を基体上に TiN 膜を介して設けたことを特徴とするものであってもよい。

また、本発明の薄膜トランジスタ基板は、銅層の表面に、チタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜を有する配線が、基体上に TiN 膜を介して設けられたものであってもよい。ここでの配線の被膜は、上記銅層の表面に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有するものであってもよい。

【0015】

上記 TiN の厚みは、100 乃至 500 オングストローム程度とすることが好

ましい。上記TiNの厚みが100オングストローム未満であると、上記配線の銅層と基体の間に、上記のバリアー層として作用する被膜が形成されていない場合、あるいは、上記被膜の厚みが十分でない場合に、上記基体や、 SiO_2 、 SiON 、 SiO_x などの隣接膜から拡散してきた元素が配線内に入り込むのを防止する効果が不十分である。また、500オングストロームを超えて厚くしても目的とする効果が飽和する一方で成膜時間が増加してしまう。

本発明に係わる配線にあっては、上述のような構成とすることにより、レジスト剥離液やエッチング液などの薬液や水分に強い保護層や隣接膜との間での元素の相互拡散を防止するバリアー層としての被膜が銅層の周囲に形成されたこととなり、あるいはレジスト剥離液やエッチング液などの薬液や水分に強い保護層としての被膜が銅層の表面に形成されたこととなる。

このような配線を有する本発明の薄膜トランジスタ基板によれば、後工程で他の層をエッチングする際に使用される酸化力のある酸系エッチング剤が銅配線にまでしみ込んで来ても銅層の周囲あるいは表面に保護層として作用する上記被膜が形成されているので、配線がエッチング剤により損傷を受けにくく、配線が下地から剥離するのを防止できるうえ断線不良の発生を防止でき、また、用いるエッチング剤の自由度が大きい。

【0016】

また、フォトリソグラフィ工程で使用されるレジスト剥離液が配線にまでしみ込んで来ても本発明に用いられる配線は銅層の周囲あるいは表面に保護層として作用する上記被膜が形成されているので、レジスト剥離液による配線の腐食を防止できる。

また、本発明に係わる配線は、銅層の周囲あるいは表面に上記被膜が形成されているので、エッチング前に水分の存在により配線の表面に酸化層が形成されることがなくなり、酸化力のないエッチング剤により損傷を受けにくく、断線不良の発生を防止できる。また、銅層の周囲にバリアー層として作用する上記被膜が形成されているので、隣接膜から元素が拡散してきても上記被膜により配線への原子の拡散が阻害され、隣接膜からの元素の拡散に起因する配線抵抗の上昇を防止でき、また、銅層のCu原子が隣接膜に拡散するのを上記被膜により阻害でき

るので、銅層からのCu原子の拡散に起因する絶縁耐圧不良を防止できるうえ、半導体能動膜の特性の劣化を防止できる。

【0017】

また、銅層の表面にバリヤー層として作用する上記被膜を形成した配線にあっては、この配線の上側や側方の隣接膜（上記被膜の上側や側方の隣接膜）から元素が拡散してきても上記被膜により配線への原子の拡散が阻害され、隣接膜からの元素の拡散に起因する配線抵抗の上昇を防止でき、また、上記被膜により銅層のCu原子がこの配線の上側や側方の隣接膜に拡散するのを阻害されるので、銅層からのCu原子の拡散に起因する絶縁耐圧不良を防止できるうえ、半導体能動膜の特性の劣化を防止できる。

また、銅層の周囲あるいは表面が上記被膜により覆われているので、この配線上にCVD法等により酸化珪素からなる絶縁膜やパッシベーション膜を形成する際に、上記銅層を構成するCuと絶縁膜等の形成材料のSiH₄ガスとの反応を防止できるので、上記反応に起因して銅層の表面に針状突起が生じることがなく、該針状突起により絶縁抵抗不良が起こるのを防止できる。

【0018】

また、本発明に係わる配線は、ITOやIZOなどの透明導電膜からなる画素電極と直接接触させても、配線材料としてアルミニウムを用いる場合のようにITOやIZO中の酸素が配線を酸化することがなく、ITOやIZOとのコンタクト抵抗が低い。

さらに、本発明の薄膜トランジスタ基板において、上記配線と上記基体との間にTiN膜を設けたものにあつては、上記配線を構成する銅層の下面と基体の間に上記のようなバリヤー層として作用する被膜が設けられていなくても、あるいは、上記銅層の下面と基体の間の上記被膜の厚みが薄くても、上記配線と上記基体との間にTiN膜が設けられているので、上記基体や隣接膜から配線に元素が拡散してきても上記TiN膜により配線への原子の拡散が阻害され、上記基体や隣接膜からの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。また、上記TiN膜によって、上記配線の密着性が向上する。

【0019】

従って、本発明の薄膜トランジスタ基板によれば、低抵抗の銅を配線材料として用いる特性を損なうことなく、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐性を向上できるので、下地膜との密着性を向上でき、断線不良や腐食を防止でき、また、用いるエッチング剤の自由度が大きいので、銅配線形成後の工程が制約されにくく、さらに、隣接膜との間での元素の相互拡散を防止できるので、絶縁耐圧が良好で半導体能動膜の特性が良好な薄膜トランジスタ基板を提供できる。

【 0 0 2 0 】

本発明の薄膜トランジスタ基板の製造方法は、上記課題を解決するために、チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属膜を形成した基体の上記金属膜上に、銅からなるターゲットを使用して銅膜を成膜し、該銅膜と上記金属膜とを所望配線形状にパターンニングし、ついで前記基体をアニール処理して前記パターンニングした銅膜上にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜を形成することを特徴とする。

上記の構成の本発明の薄膜トランジスタの製造方法において、上記アニール条件は、400℃乃至1200℃程度で、30分間乃至1時間程度である。アニール温度が400℃未満であると低温すぎて、配線形成用の銅膜中に金属膜中の元素を十分引き込むことができない。1200℃を越えると、温度が高くなりすぎて、銅膜が融解し抵抗の低い銅配線が形成できない。

【 0 0 2 1 】

本発明の薄膜トランジスタ基板の製造方法によれば、上記のいずれかの構成の本発明の配線を有する薄膜トランジスタ基板を製造できる。それは、チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属膜を形成した基体の金属膜上に、例えば、銅からなるターゲットを使用した2周波励起型スパッタ装置を用いて非酸化雰囲気下で銅膜を成膜する成膜工程により、上記金属膜中の元素を銅膜中に引き込むことができる。この後、該銅膜と上記金属膜とを所望配線形状にパターンニングするパターンニング工程を行って銅層を形成し、ついで前記基体をアニール処理すると、上記銅膜中に引き込まれた金属元素が上記銅層の表面に拡散するので、上記銅層の周囲にチタン、モリブデン、クロム、タンタ

ルのうちから選択された金属の被膜を形成することができる。このように基体上に形成した金属膜の元素を銅膜形成時に銅膜中に引き込み、さらにアニール処理することにより上記金属膜の元素を銅層の表面に拡散させることにより保護層やバリヤー層として作用する被膜を形成すると、銅層上にスパッタ法等により上記被膜を積層する場合と比べて、配線の厚みを薄くでき、しかもこの配線の被膜は、厚みが薄くても上述のように水分やレジスト剥離液に対する耐酸化性やエッチング剤などに対する耐酸性を十分向上できる。

【0022】

また、本発明の薄膜トランジスタの製造方法は、上記の課題を解決するために、基体上にTiN膜を成膜し、ついで上記TiN膜上にチタン原子数に対する酸素原子数の比が1対0乃至1対2であるチタン系膜を成膜し、ついで上記チタン系膜上に銅からなるターゲットを使用して銅膜を成膜して積層膜とし、該積層膜を所望配線形状にパターニングし、ついで上記基体をアニール処理して上記パターニングした銅膜上にチタン原子数に対する酸素原子数の比が1対0乃至1対2であるチタン被膜を形成することを特徴とする方法であってもよい。

上記の構成の本発明の薄膜トランジスタの製造方法において、上記アニール条件は、300℃乃至1200℃程度で、30分間乃至1時間程度である。アニール温度が300℃未満であると低温すぎて、配線形成用の銅膜中に金属膜中の元素を十分引き込むことができず、銅層の表面に良好なチタン被膜を形成できない。1200℃を越えると、温度が高くなりすぎて、銅膜が融解し抵抗の低い銅配線が形成できない。

【0023】

かかる構成の薄膜トランジスタ基板の製造方法によれば、上記のいずれかの構成の配線がTiN膜を介して設けた薄膜トランジスタ基板を製造できる。それは、チタン系膜をTiN膜を介して形成した基体のチタン系膜上に、例えば、銅からなるターゲットを使用した2周波励起型スパッタ装置を用いて非酸化雰囲気下で銅膜を成膜する成膜工程により、上記チタン系膜中のチタン元素を銅膜中に引き込むことができる。この後、上記チタン系膜と銅膜とからなる積層膜を所望配線形状にパターニングするパターニング工程を行って銅層を形成し、ついで上記

基体をアニール処理すると、上記銅膜中に引き込まれたチタン元素を上記銅層の表面に拡散するので、上記銅層の周囲または表面に保護層やバリヤー層として作用するチタン被膜を形成することができる。このようにして製造される薄膜トランジスタ基板の配線の被膜は、上記銅層の周囲に形成される場合と、上記銅層の表面に形成される場合があるが、それはチタン膜の厚みや基体をアニール処理する際のアニール温度等のアニール条件をコントロールすることにより制御できる。

【0024】

また、上記の薄膜トランジスタの製造方法においては、上記TiN膜上に成膜するチタン系膜の膜厚を100オングストローム乃至200オングストロームとすることが好ましい。チタン系膜の膜厚を200オングストローム以下とすることで、抵抗上昇が少なく、配線材料としてCuを用いる効果が顕著に現れる。一方、チタン系膜の膜厚を300オングストロームを超えて厚くしても、配線材料としてAlを用いたときと同じ程度まで抵抗が上昇してしてしまうため、Cuを用いる意義がなくなってしまう。また、チタン系膜の膜厚が100オングストローム未満では、アニール処理によりCu層の表面に拡散するチタン元素が少なく、銅層の周囲または表面に形成されるチタン原子数に対する酸素原子数の比が1対0乃至1対2であるチタン被膜の厚みが薄く、保護層やバリヤー層としての効果が十分得られない。

また、上記の薄膜トランジスタの製造方法においては、上記銅膜の成膜前にチタン系膜の表面に生成したチタンの酸化層をプラズマエッチングにより除去することにより、基体をアニール処理して銅膜中に引き込まれたチタン元素を上記銅層の表面に拡散させるためのアニール温度を下げることができる。

また、上記のいずれかの構成の本発明の薄膜トランジスタの製造方法によれば、上記金属膜が形成された基体上あるいは上記チタン膜がTiN膜を介して形成された基体上に2周波励起スパッタ法により銅膜を成膜する成膜工程と、該銅膜のパターニング工程と、上記基体のアニール工程により、本発明に係わる配線を基体上に容易に形成できるので製造工程が複雑になることがない。

さらに、上記のいずれかの構成の本発明の薄膜トランジスタ基板の製造方法は

、低温工程で基体上に本発明の配線を形成できるので、600°C以上の加熱に耐えられないガラス基板などを基体として用いる場合にも適用できる。

【0025】

また、上記のいずれかの構成の本発明の薄膜トランジスタの製造方法においては、上記被膜に酸素を含有させてもよい。

上記アニール時の雰囲気中に酸素を含まないで行うと酸素原子の含有割合が0原子%の被膜が得られ、また、上記アニール時の雰囲気中の酸素分圧を順次増やすことにより、被膜中の酸素原子の含有割合を順次増加できる。

【0026】

本発明に係わる液晶表示装置は、上記課題を解決するために、対向配置された一对の基板の間に液晶が挟持され、前記一对の基板の一方が上記のいずれかの構成の本発明の薄膜トランジスタ基板であることを特徴とする。

本発明の液晶表示装置によれば、低抵抗配線として銅配線を用いた本発明の薄膜トランジスタ基板が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高精細な表示に最適な表示装置等を容易に実現できるという利点がある。また、配線の下地からの剥離がなく、断線不良や腐食の発生がなく、しかも配線と隣接膜との間での元素の相互拡散を防止できる本発明の薄膜トランジスタ基板が備えられているので、特性の良好な液晶表示装置を提供できる。

【0027】

【発明の実施の形態】

以下に本発明の各実施形態を詳細に説明するが、本発明はこれらの実施形態に限定されるものではない。

（第1実施形態）

図1は本発明の液晶表示装置の第1実施形態の要部を示すもので、この第1実施形態の液晶表示装置30は、本発明の薄膜トランジスタ基板の実施形態のボトムゲート型の薄膜トランジスタ基板31と、この薄膜トランジスタ基板31に平行に隔離して設けられた透明の対向基板32と、上記薄膜トランジスタ基板31と対向基板32との間に封入された液晶層33を具備して構成されている。

上記薄膜トランジスタ基板 3 1 には、図 3 3 に示した従来の構造と同様に縦列の多数のソース配線と横列の多数のゲート配線が、対向基板 3 2 の上面側から平面視した場合にマトリクス状になるように配列形成され、ソース配線とゲート配線とで囲まれた多数の領域のそれぞれが画素部とされ、各画素部に対応する領域にそれぞれ I T O (インジウムスズ酸化物) 等の透明導電材料からなる画素電極 3 5 が形成されるとともに、各画素電極 3 5 の近傍にボトムゲート型の薄膜トランジスタが設けられている。

【 0 0 2 8 】

図 1 はソース配線とゲート配線とで囲まれた 1 つの画素部に対応する領域に設けられた薄膜トランジスタの部分とその周囲部分を拡大して示すもので、薄膜トランジスタ基板 3 1 には画素部が多数整列形成されて液晶表示装置 3 0 としての表示画面が構成されている。

この形態の薄膜トランジスタ基板 3 1 にあっては、各画素部において少なくとも表面が絶縁性である基板 (基体) 3 6 上にゲート電極 4 0 が設けられ、このゲート電極 4 0 と基板 3 6 を覆ってゲート絶縁膜 4 1 が設けられ、ゲート電極 4 0 上のゲート絶縁膜 4 1 上にゲート電極 (配線) 4 0 よりも小さな半導体能動膜 4 2 が積層され、この半導体能動膜 4 2 の両端部上に n^+ 層などからなるオーミックコンタクト膜 4 3、4 4 が、半導体能動膜 4 2 の端部と位置を合わせ、半導体能動膜 4 2 の中央部側に間隙をあけて相互に隔離して積層されている。ここでの基板 3 6 としては、ガラス基板や、表面に $S i N_x$ 膜 3 6 a が形成された基板を用いることもできる。

【 0 0 2 9 】

ここでゲート電極 4 0 は、銅層 4 0 a の周囲に被膜 4 0 b を有してなるものである。被膜 4 0 b は、チタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜、モリブデン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 3 である組成の被膜、クロム原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 1.5 である組成の被膜、タンタル原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2.5 である組成の被膜のうちのいずれかの被膜である。

【 0 0 3 0 】

上記被膜 4 0 b は、チタン膜と、チタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよく、具体的には図 2 に示すように銅層 4 0 a の周囲に形成されたチタン膜 4 0 f と該チタン膜 4 0 f の表面に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜 4 0 g とを有してなるものや、図 3 に示すように銅層 4 0 a の周囲の一部に形成されたチタン膜 4 0 h と、銅層 4 0 a の周囲の残部に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜 4 0 i とを有してなるものであってもよい。

また、上記被膜 4 0 は、クロム膜と、クロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよく、具体的には、銅層 4 0 a の周囲に形成されたクロム膜と該クロム膜の表面に形成されたクロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものや、銅層 4 0 a の周囲の一部に形成されたクロム膜と、銅層 4 0 a の周囲の残部に形成されたクロム原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよい。

【0031】

次に、図 1 の左側（図 1 に示す画素電極 3 5 から離れた側）のオーミックコンタクト膜 4 3 の上面と左側面とその下の半導体能動膜 4 2 の左側面とそれらに連続するゲート絶縁膜 4 1 の上面の一部分を覆って、即ち、半導体能動膜 4 2 とオーミックコンタクト膜 4 3 の重なり部分（重畳部分）を覆ってソース電極 4 6 が形成されている。ここでのソース電極 4 6 は、銅層 4 6 a の周囲に被膜 4 6 b を有してなるものである。被膜 4 6 b は、上記ゲート電極 4 0 の被膜 4 0 b と同様の被膜からなるものである。また、この被膜 4 6 b は、ゲート電極 4 0 の被膜 4 0 b と同様に、チタン膜と、チタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよい。

【0032】

また、図 1 の右側（図 1 に示す画素電極 3 5 に近い側）のオーミックコンタクト膜 4 4 の上面と右側面とその下の半導体能動膜 4 2 の右側面とそれらに連続するゲート絶縁膜 4 1 の上面の一部分を覆って、即ち、半導体能動膜 4 2 とオーミ

ックコンタクト膜 4 3 の重畳部分を覆ってドレイン電極 4 8 が形成されている。ここでのドレイン電極 4 8 は、銅層 4 8 a の周囲に被膜 4 8 b を有してなるものである。被膜 4 8 b は、上記ゲート電極 4 0 の被膜 4 0 b と同様の被膜からなるものである。また、この被膜 4 8 b は、ゲート電極 4 0 の被膜 4 0 b と同様に、チタン膜と、チタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなるものであってもよい。

また、これらの各膜の上にはこれらを覆ってパッシベーション膜 4 9 が設けられ、ドレイン電極 4 8 の右側端部上のパッシベーション膜 4 9 上には画素電極 3 5 が形成されていて、この画素電極 3 5 はパッシベーション膜 4 9 に形成されたコンタクトホール（導通孔）5 0 に設けた接続導体部 5 1 を介してドレイン電極 4 8 に接続されている。

【0033】

一方、薄膜トランジスタ基板 3 1 に対して設けられている対向基板 3 2 の液晶側には、対向基板 3 2 側から順にカラーフィルタ 5 2 と共通電極膜 5 3 とが積層されている。上記カラーフィルタ 5 2 は、表示に寄与しない薄膜トランジスタ部分やゲート配線部分およびソース配線部分を覆い隠すためのブラックマトリクス 5 4 と、画素電極 3 5 を設けた画素領域で表示に寄与する部分を通過する光を透過させ、更に、カラー表示をするためのカラー画素部 5 5 を主体として構成されている。これらのカラー画素部 5 5 は、液晶表示装置がカラー表示の構造の場合に必要とされ、画素部毎に設けられているが、隣接する画素部において色違いとなるように、例えば、R（赤）、G（緑）、B（青）の 3 元色のものが色の偏りがないように規則的にあるいはランダムに配置される。

なお、図 1 に示す断面構造では薄膜トランジスタ基板 3 1 の液晶側と対向基板 3 2 の液晶側に設けられる配向膜は省略してあるとともに、薄膜トランジスタ基板 3 1 の外側と対向基板 3 2 の外側に設けられる偏光板を省略してある。

【0034】

図 1 に示す液晶表示装置 3 0 に備えられた薄膜トランジスタ基板 3 1 にあっては、後工程で他の層をエッチングする際に使用される酸化力のある酸系エッチング剤がゲート電極 4 0 やソース電極 4 6 やドレイン電極 4 8 にまでしみ込んで来て

も銅層 40a, 46a, 48a の周囲にそれぞれ保護層として作用する上記被膜 40b, 46b, 48b が形成されているので、各電極がエッチング剤により損傷を受けにくく、各電極が下地から剥離するのを防止できるうえ断線不良の発生を防止でき、また、用いるエッチング剤の自由度が大きい。

また、フォトリソグラフィ工程で使用されるレジスト剥離液がゲート電極 40 やソース電極 46 やドレイン電極 48 にまでしみ込んで来ても銅層 40a, 46a, 48a の周囲にそれぞれ上記被膜 40b, 46b, 48b が形成されているので、レジスト剥離液により各電極の表面の腐食を防止できる。

【0035】

また、ゲート電極 40 やソース電極 46 やドレイン電極 48 は、銅層 40a, 46a, 48a の外周面にそれぞれ上記被膜 40b, 46b, 48b が形成されているので、エッチング前に水分の存在により各電極の表面に酸化層が形成されることがなくなり、酸化力のないエッチング剤により損傷を受けにくく、断線不良の発生を防止できる。また、ゲート電極 40 やソース電極 46 やドレイン電極 48 は、それぞれ被膜 40b, 46b, 48b を有しているので、これら電極上に CVD 法等により絶縁膜 41 やパッシベーション膜 49 を形成する際に、電極 40, 46, 48 を構成する Cu と絶縁膜等の形成材料の SiH_4 ガスとの反応を防止できるので、上記反応に起因して銅層の表面に針状突起が生じることがなく、該針状突起により絶縁抵抗不良が起こるのを防止できる。

【0036】

また、ゲート電極 40 やソース電極 46 やドレイン電極 48 は、銅層 40a, 46a, 48a の外周面にそれぞれバリヤー層として作用する上記被膜 40b, 46b, 48b が形成されているので、基体 36 から Si が拡散してきても上記被膜 40b によりゲート電極 40 への原子の拡散が阻害され、ゲート電極 40 の抵抗の上昇を防止でき、また、銅層 40a から Cu 原子がゲート絶縁膜 41 に拡散しようとしても被膜 40b により上記 Cu 原子のゲート絶縁膜 41 への拡散が阻害され、銅層 40a からの Cu 原子の拡散に起因する絶縁耐圧不良を防止でき、銅層 46a, 48a から Cu 原子が半導体能動膜 42 に拡散しようとしても被膜 46b, 48b により上記 Cu 原子の拡散が阻害され、銅層 46a, 48a か

らのCu原子の拡散に起因する半導体能動膜42の特性の劣化を防止できる。

また、電極48は、ITOからなる画素電極と直接接触させても、配線材料としてアルミニウムを用いる場合のようにITO中の酸素が電極48を酸化することがなく、ITOとのコンタクト抵抗が低い。

【0037】

従って、実施形態の薄膜トランジスタ基板31によれば、低抵抗の銅を配線材料として用いる特性を損なうことなく、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐性を向上できるので、下地膜との密着性を向上でき、断線不良や腐食を防止でき、また、用いるエッチング剤の自由度が大きいので、銅配線形成後の工程が制約されにくく、さらに、隣接膜との間での元素の相互拡散を防止できるので、絶縁耐圧が良好で半導体能動膜の特性が良好な薄膜トランジスタ基板を提供できる。

【0038】

第1実施形態の液晶表示装置30によれば、上述のような薄膜トランジスタ基板31が備えられているので、配線抵抗に起因する信号電圧降下や配線遅延が生じにくく、配線が長くなる大面積の表示や配線が細くなる高精細な表示に最適な表示装置を容易に実現できるという利点がある。また、下地からの配線の剥離がなく、断線不良や腐食の発生がなく、しかも配線と隣接膜との間での元素の相互拡散を防止できる薄膜トランジスタ基板31が備えられているので、特性の良好な液晶表示装置を提供できる。

【0039】

次に、本発明の薄膜トランジスタ基板の製造方法を図1に示す構造の薄膜トランジスタ基板を製造する方法に適用した実施形態例について説明する。

図4は、第1実施形態の薄膜トランジスタ基板の製造方法に好適に用いられる薄膜の製造装置の成膜室を示す概略構成図であり、図5は、薄膜の製造装置の全体構成を示す平面図であり、図6は、図5に示す薄膜の製造装置の一部を拡大した側面図である。

図4は、減圧状態に保持可能な成膜室を示し、この成膜室60は、図5に示すように搬送室61の側部にゲートバルブ62を介して接続されている。

上記搬送室 61 の周囲には成膜室 60 の他に、ローター室 63 とアンローター室 64 とストッカーチャンバ 65 がそれぞれ搬送室 61 を囲むように接続され、搬送室 61 とその周囲の各室との間にはそれぞれゲートバルブ 66、67、68 が設けられている。以上の説明のように、成膜室 60 と搬送室 61 とローター室 63 とアンローター室 64 とストッカーチャンバ 65 により薄膜の製造装置 A' が構成されている。

【0040】

上記成膜室 60 は、図 4 に示すように、その上部に第 1 の電極 70 が設けられ、第 1 の電極 70 の底面にターゲット 71 が着脱自在に装着されているとともに、成膜室 60 の底部には第 2 の電極 72 が設けられ、第 2 の電極 72 の上面に少なくとも表面が絶縁性である基板 36 が着脱自在に装着されている。

上記ターゲット 71 をなす材料としては、ゲート電極 40、ソース電極 46、ドレイン電極 48 を形成する場合、チタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属と、銅が用いられ、 $a-Si:n^+$ 層を形成する場合、 n 型 $a-Si:n^+$ 生成用の P ドープ Si が用いられる。上記基板 36 としては、薄膜トランジスタ基板を製造する場合にはガラス基板を好適に用いることができる。なお、上記ターゲット 71 の装着には静電チャックなどの通常知られたターゲット装着機構を用いることができる。

上記第 1 の電極 70 は、導電性材料からなる母体 70a とこの母体 70a の表面に形成された酸化膜、窒化膜あるいはフッ化膜などからなる保護層 70b とから構成されている。

【0041】

そして、上記第 1 の電極 70 には第 1 の交流電源 75 が接続されるとともに、第 1 の電極 70 と第 1 の交流電源 75 との間には整合回路 75a が組み込まれていて、この整合回路 75a は高周波電力の反射波をゼロにする作用を奏する。また、第 1 の電極 70 には、インピーダンス調整用のローパスフィルタなどのバンドパスフィルタ 77 を介して直流電源 78 が接続されている。このバンドパスフィルタ 77 は、直流電源 78 に高周波が乗らないように回路のインピーダンスを無限大に調整するものである。

更に、上記第2の電極72にも第2の交流電源80が接続されるとともに、第2の電極72と第2の交流電源80の間には上記整合回路75aと同様の作用を奏する整合回路80aが組み込まれている。

なお、上記成膜室60には、真空引き用およびガス排気用の排気ユニット60a、成膜室60内への反応ガス供給機構60b等を含んでいるが図4では説明の簡略化のためにこれらを簡略化して記載した。

【0042】

次に、上記搬送室61には、リンク式の搬送機構（マジックハンド）69が設けられ、この搬送機構69は搬送室61の中心部に立設された支軸74を支点として回動自在に設けられ、ストッカーチャンバ65に配置されているカセット79からターゲット71を取り出して必要に応じて成膜室60に搬送し、成膜室60の第1の電極70にターゲット71を装着できるようになっている。

なお、上記カセット79にはダミーターゲット71aも収納されていて、必要に応じてダミーターゲット71aも成膜室60に搬送できるようになっている。

【0043】

図4乃至図6に示す薄膜の製造装置は、1つの成膜室60で1つ以上の薄膜（例えば、ゲート電極40を形成するための金属膜と銅膜と、ゲート絶縁膜41と、半導体能動膜42と、オーミックコンタクト膜43、44と、ソース電極46を形成するための金属膜と銅膜と、ドレイン電極48を形成するための金属膜と銅膜、パッシベーション膜49）を連続成膜することができる装置である。

即ち、成膜室60において、CVD成膜（ゲート絶縁膜・半導体能動膜・パッシベーション膜49の成膜）とスパッタ成膜（オーミックコンタクト膜・ゲート電極を形成するための金属膜と銅膜・ソース電極を形成するための金属膜と銅膜・ドレイン電極を形成するための金属膜と銅膜の成膜）を電源を切り替えることにより行なうことができる。

まず、成膜室60と搬送室61とストッカーチャンバ65を減圧したならば、ゲートバルブ62と68を開放して搬送機構69によりガラス基板36を第2の電極72に装着する。この状態からゲートバルブ62を閉じたならば、以下の工程に準じて基板36上にゲート電極40などの薄膜を順次形成する。

【0044】

(1-1) ゲート電極用金属膜の成膜工程

成膜室60をArガス雰囲気とし、第1の電極70にチタン、モリブデン、クロム、タンタルのうちから選択されたいずれかの金属からなるターゲット71を装着し、第2の電極72にはガラス基板36を装着したままで、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、図7のAに示すように基板36上に膜厚500オングストローム程度の金属膜40eを形成する。

なお、金属膜40eの表面には、該金属膜40を構成する金属元素と成膜室60内の残留酸素が反応して金属の酸化層が形成されている場合があるため、その場合にはこの金属の酸化層を、プラズマエッチングにより除去しておくことが好ましい。ここでのプラズマエッチングは、成膜室60をArガス雰囲気とし、第1の電極70にダミーターゲット71aを装着し、第2の電極72には金属膜40eを形成したガラス基板36を装着したままで、第1の交流電源75から第1の電源70に高周波を供給し、負荷電位をフローティングしてプラズマを発生させるとともに、第2の電極72に高周波電力を供給し基板36に200W程度の交流電力を2分程度印加することにより行われる。

【0045】

(1-2) ゲート電極用銅膜の2周波励起スパッタ成膜工程

成膜室60を非酸化雰囲気としてArガス雰囲気とし、第1の電極70に銅からなるターゲット71を装着し、第2の電極にはガラス基板36を装着したままで、直流電源78を作動させて直流電力をターゲット71に印加するとともに第2の交流電源80を作動させて交流電力をガラス基板36に印加する2周波励起スパッタ法により、銅膜のスパッタ成膜を行い、図7のBに示すように基板36に形成された金属膜40e上に膜厚1500オングストローム程度の銅膜40cを形成する。この工程では、基板36に印加する交流電力は、0.1乃至5W/cm²程度である。このようにすると、銅膜40cを構成するCuの結晶の粒径を小さくできるので、Cuの結晶の粒界が多くなり、上記金属膜40e中の元素

が銅膜 40c 中に引き込まれ、この引き込まれた元素の拡散が促進される。

【0046】

(1-3) ゲート電極用金属膜及び銅膜のパターニング工程

銅膜 40c の表面にレジストを塗布してパターン露光し、エッチングにより銅膜 40c と金属膜 40e の不要部分を除去した後にレジストを剥離するパターニングを施して、図 7 の C に示すような所望の線幅の銅層（銅配線）40a と金属膜 40e の積層膜を形成する。

(1-4) 基板（基体）の第一アニール工程

銅層 40a と金属膜 40e の積層膜が形成された基板 36 を Ar ガス雰囲気中でアニール処理し、上記銅層 40a 中に引き込まれた金属膜 40e の金属元素を上記銅層 40a の表面に拡散し、図 7 の D に示すような上記銅層 40a の周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜 40b が形成されたゲート電極 40 を得る。ここで形成された被膜 40b の厚みは、50 オングストローム乃至 200 オングストローム程度である。

【0047】

ここでのアニール処理条件は、400℃程度で 2 時間程度である。

また、アニール時の雰囲気に酸素を含ませないで行うと酸素原子の含有割合が 0 原子%の被膜 40b が得られ、また、上記アニール時の雰囲気の酸素分圧を順次増やすことにより、被膜 40b 中の酸素原子の含有割合を順次増加できる。

従って、基板 36 上にチタンからなる金属膜 40e を形成した場合はチタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜 40b が形成され、モリブデンからなる金属膜 40e を形成した場合はモリブデン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 3 である組成の被膜 40b が形成され、クロムからなる金属膜 40e を形成した場合はクロム原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜 40b が形成され、タンタルからなる金属膜 40e を形成した場合はタンタル原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2.5 である組成の被膜 40b が形成される。

【0048】

また、チタンからなる金属膜 40e の厚みや、アニール温度を 400℃乃至

1200°Cの範囲、アニール時間30分間乃至1時間の範囲で変更することにより、図2に示すように銅層40aの周囲に形成されたチタン膜40fと該チタン膜40fの表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜40gとを有してなる被膜40bや、図3に示すように銅層40aの周囲の一部に形成されたチタン膜40hと、銅層40aの周囲の残部に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜40iとを有してなる被膜40bを形成できる。

【0049】

(1-5) ゲート絶縁膜(窒化ケイ素膜)41のCVD成膜工程

成膜室60を $\text{SiH}_4 + \text{NH}_3 + \text{N}_2$ 混合ガス雰囲気とし、第1の電極70にダミーターゲット71aを装着し、第1の交流電源75から第1の電極70に周波数200MHzの高周波を供給し、負荷電位をフローティングしてプラズマを発生させて窒化ケイ素膜を基板36上に堆積させるCVD成膜を行ない、図8のAに示すようなゲート絶縁膜41を形成する。このCVD成膜の場合は、第1の電極70に装着されたダミーターゲット71aをスパッタしないように供給する周波数を大きく設定し、第1の電極70にかかるイオンエネルギーを小さくするとともに、第2の電極72に高周波電力を供給し、基板36にかかるイオンエネルギーを制御する。

(1-6) 半導体能動膜(a-Si層)42のCVD成膜工程

成膜室60を $\text{SiH}_4 + \text{H}_2$ 混合ガス雰囲気とし、第1の電極70にダミーターゲット71aを装着したままで第1の交流電源75から第1の電極70に周波数200MHz程度の高周波を供給し、更に、第2の交流電源80から第2の電極72に高周波電力を供給し、ガラス基板36にかかるイオンエネルギーを制御してa-Si層の成膜を行い、半導体能動膜42を形成する。

【0050】

(1-7) オーミックコンタクト膜(a-Si:n⁺層)43aのスパッタ成膜工程

成膜室60をArガス雰囲気とし、第1の電極70にa-Si:n⁺層生成用のPドープSiからなるターゲット71を装着し、第1の交流電源75から第1

の電極 70 に周波数 13.6 MHz 程度の高周波を供給し、更に直流電源 78 から負荷する負荷電位を -200 V にしてスパッタリングを行ない、半導体能動膜 42 上にオーミックコンタクト膜 43 a を形成する。

(1-8) 半導体能動膜とオーミックコンタクト膜のパターニング工程

オーミックコンタクト膜 43 a の表面にレジストを塗布してパターン露光し、エッチングにより不要部分を除去した後にレジストを剥離するパターニングを施して、図 8 の A に示すようにゲート電極 40 よりも小さいアイランド状の半導体能動膜 42 とオーミックコンタクト膜 43 a を得る。半導体能動膜 42 と、オーミックコンタクト膜 43 a の形成位置は、ゲート電極 40 上のゲート絶縁膜 41 においてゲート電極 40 と対向する位置である。

【0051】

(1-9) ソース電極及びドレイン電極用金属膜の成膜工程

図 8 の A に示すようにオーミックコンタクト膜 43 a の上面と両側面とその下の半導体能動膜 42 の両側面とそれらに連続するゲート絶縁膜 41 の上面の一部を覆うように、膜厚 500 オングストローム程度の金属膜 46 e を上述のゲート電極用金属膜の成膜工程と同様にして形成する。なお、金属膜 46 e の表面には、金属の酸化層が形成されている場合があるため、その場合にはこの金属の酸化層を、先に述べた金属膜 40 e をプラズマエッチングする方法と同様にして除去しておくことが好ましい。

(1-10) ソース電極及びドレイン電極用銅膜の 2 周波励起スパッタ成膜工程

図 8 の A に示すように金属膜 46 e 上に膜厚 1500 オングストローム程度の銅膜 46 c を上述のゲート電極用銅膜の 2 周波励起スパッタ成膜工程と同様にして形成する。このようにすると、上記金属膜 46 e 中の元素が銅膜 46 c 中に引き込まれる。

【0052】

(1-11) ソース電極及びドレイン電極用金属膜及び銅膜と、半導体能動膜とオーミックコンタクト膜のパターニング工程

半導体能動膜 42 の中央部分の上部をエッチングにより除去し、半導体能動膜 42 の中央部分上のオーミックコンタクト膜 43 a と金属膜 43 a と銅膜 46 e

を除去することで、図 8 の B に示すように半導体能動膜 42 の両端部分上に相互に離隔したオーミックコンタクト膜 43、44 と、ソース電極 46 形成用金属膜 46e 及び銅層 46a と、ドレイン電極 48 形成用金属膜 46e と銅層 48a とを形成することができる。

【0053】

(1-12) 基板の第二アニール工程

ソース電極 46 形成用金属膜 46e 及び銅層 46a と、ドレイン電極 48 形成用金属膜 46e と銅層 48a とが形成された基板 36 を先に行った基板の第一アニール工程と同様にしてアニール処理し、上記銅層 46a、48a 中に引き込まれた金属膜 46e の金属元素を上記銅層 46a、48a の表面に拡散し、図 8 の C に示すような銅層 46a、48a の周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜 46b、48b が形成されたソース電極 46 とドレイン電極 48 が得られる。ここで形成される被膜 46b、48b は、ゲート電極 40 の被膜 40b と同様に、上述の割合で酸素が含まれていてもよい。

また、ゲート電極 40 の被膜 40b を形成する場合と同様に金属膜 46e の厚みや、アニール条件を変更することにより、銅層の周囲に形成されたチタン膜と該チタン膜の表面に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜とを有してなる被膜 46b、48b や、銅層の周囲の一部に形成されたチタン膜と、銅層の周囲の残部に形成されたチタン原子数に対する酸素原子数の比が 1 対 1 乃至 1 対 2 である組成の膜 40i とを有してなる被膜 46b、48b を形成できる。

【0054】

(1-13) パッシベーション膜 49 の CVD 成膜工程

半導体能動膜 42 とソース電極 46 とドレイン電極 48 を覆うように窒化ケイ素からなるパッシベーション膜 49 をゲート絶縁膜 41 の CVD 成膜工程とほぼ同様にして成膜する。

(1-14) 画素電極形成工程

ついで、パッシベーション膜 49 を乾式法あるいは乾式法と湿式法の併用によりエッチングしてコンタクトホール 50 を形成した後、パッシベーション膜 49

上にITO層を形成し、パターニングすることにより画素電極35を形成し、図1に示すようにコンタクトホール50の底面および内壁面、パッシベーション膜49の上面にかけて接続導体部51を形成し、この接続導体部51を介してドレイン電極48と画素電極35を接続すると、図1と同様の薄膜トランジスタ基板31が得られる。

なお、基板36として表面に SiN_x 膜36aが形成されたものを用いる場合は、基板36上に金属膜40eを形成する前に、上述のゲート絶縁膜41のCVD成膜工程と同様の方法で SiN_x 膜を成膜しておく。

なお、ソース配線については図面に記載していないが、ゲート絶縁膜41上にソース電極46を形成する場合の成膜時とアニール時およびエッチング時に同時に形成すれば良い。

【0055】

上述のような薄膜トランジスタ基板31の製造によれば、上記金属膜が形成された基体36上に2周波励起スパッタ法により銅膜を成膜する成膜工程と、該銅膜のパターニング工程と、上記基体のアニール工程により、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐腐食性を向上でき、下地との密着性を向上でき、さらに隣接膜との間での元素の相互拡散を防止できるゲート電極40、ソース電極46、ドレイン電極48を基板36上に容易に形成できるので製造工程が複雑になることがない。

さらに、本発明の薄膜トランジスタ基板の製造方法は、低温工程で基板36上に上述のような特性を有するゲート電極40、ソース電極46、ドレイン電極48を形成できるので、600°C以上の加熱に耐えられないガラス基板などを基体として用いる場合にも適用できる。

なお、上述の実施形態の薄膜トランジスタ基板の製造方法においては、図4に示したようなプラズマ装置を構成する処理室内で電極の被膜用の金属膜を形成した場合について説明したが、上記金属膜は通常のスパッタ装置で形成してもよい。

【0056】

(第2実施形態)

図 9 は本発明の液晶表示装置の第 2 実施形態の要部を示すもので、この第 2 実施形態の液晶表示装置 3 0 a が図 1 に示した第 1 実施形態の液晶表示装置 3 0 と異なるところは、薄膜トランジスタ基板として図 9 に示すような構成のボトムゲート型の薄膜トランジスタ基板 3 1 a が備えられている点である。

この薄膜トランジスタ基板 3 1 a が図 1 に示した薄膜トランジスタ基板 3 1 と異なるところは、ゲート電極 4 0 のガラス基板 3 6 側の面に T i N 層 4 5 a が設けられ、ソース電極 4 6 のオーミックコンタクト膜 4 3 側の面に T i N 層 4 7 a が設けられ、ドレイン電極 4 8 のオーミックコンタクト膜 4 4 側の面に T i N 層 4 7 b が設けられている点である。ここでのソース電極 4 6 は T i N 層 4 7 a を介してオーミックコンタクト膜 4 3 と半導体能動膜 4 2 に電氣的に接続されている。ドレイン電極 4 8 は T i N 層 4 7 b を介してオーミックコンタクト膜 4 4 と半導体能動膜 4 2 に電氣的に接続されている。

【0057】

第 2 実施形態の薄膜トランジスタ基板 3 1 a にあっては、上記のような構成としたことにより第 1 実施形態の薄膜トランジスタ 3 1 と同様の作用効果がある。さらに、この第 2 実施形態のものは、電極 4 0、4 6、4 8 と基板 3 6 との間に T i N 層 4 5 a、4 7 a、4 7 b が設けられているので、各電極の下側の隣接膜である基板 3 6 やゲート絶縁膜 4 1 などから元素が拡散してきても T i N 層 4 5 a、4 7 a、4 7 b により電極 4 0、4 6、4 8 への原子の拡散が阻害され、基板 3 6 や隣接膜からの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。また、T i N 層 4 5 a、4 7 a、4 7 b によって、電極 4 0、4 6、4 8 の密着性が向上する。

【0058】

この薄膜トランジスタ基板 3 1 a も図 4 乃至図 6 に示した薄膜の製造装置を用いて製造できる。

以下に第 2 実施形態の薄膜トランジスタ基板 3 1 a の製造方法について詳しく説明する。

(2-1) ゲート電極用 T i N 膜の成膜工程

成膜室 6 0 を N を含むガス雰囲気とし、第 1 の電極 7 0 にチタンからなるター

ゲット 71 を装着し、第 2 の電極 72 にはガラス基板 36 を装着し、第 1 の交流電源 75 から第 1 の電極 70 に周波数 13.6MHz 程度の高周波を供給し、更に直流電源 78 から負荷する負荷電位を -200V にしてスパッタリングを行ない、図 10 の A に示すように基板 36 上に膜厚 500 オングストローム程度の TiN 膜 45 を形成する。ここでの N を含むガス雰囲気としては、 N_2 、 N_2O 、 NO_2 などのガスと、Ar ガスの混合ガスが用いられる。

【0059】

(2-2) ゲート電極用金属膜の成膜工程

成膜室 60 を N を含むガス雰囲気から Ar ガス雰囲気に変更し、第 1 の電極 70 に装着するターゲット 71 をチタン、モリブデン、クロム、タンタルのうちから選択されていずれかの金属からなるものに変更し、上記 (1-1) ゲート電極用金属の成膜工程と同様の方法により、図 10 の B に示すように基板 36 に形成された TiN 膜 45 上に膜厚 500 オングストローム程度の金属膜 40e を形成する。

(2-3) ゲート電極用銅膜の 2 周波励起スパッタ成膜工程

上記 (1-2) の 2 周波励起スパッタ成膜工程と同様の方法により、図 10 の B に示すように金属膜 40e 上に膜厚 1500 オングストローム程度の銅膜 40c を成膜して TiN 膜 45 と金属膜 40e と銅膜 40c とからなる積層膜 57 を形成する。このようにすると、上記金属膜 40e 中の元素が銅膜 40c 中に引き込まれる。

【0060】

(2-4) ゲート電極用 TiN 膜及び金属膜及び銅膜のパターニング工程

上記 (1-3) のパターニング工程と同様の方法により積層膜 57 にパターニングを施して、図 10 の C に示すような所望の線幅の TiN 層 45a と金属膜 40e と銅層 40a とからなる積層膜を形成する。

(2-5) 基板 (基体) の第一アニール工程

TiN 層 45a と金属膜 40e と銅層 40a との積層膜が形成された基板 36 を上記 (1-4) の第一アニール工程と同様にしてアニール処理し、上記銅層 40a 中に引き込まれた金属膜 40e の金属元素を上記銅層 40a の表面に拡散し

、図10のDに示すような上記銅層40aの周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜40bが形成されたゲート電極40を得る。

なお、上記TiN層45aはゲート電極40と基板36との間に介在されたままである。

【0061】

(2-6) ゲート絶縁膜(窒化ケイ素膜)41のCVD成膜工程

上記(1-5)のゲート絶縁膜のCVD成膜工程と同様にして窒化ケイ素膜を基板36上に堆積させるCVD成膜を行ない、図11のAに示すようなゲート絶縁膜41を形成する。

(2-7) 半導体能動膜(a-Si層)42のCVD成膜工程

上記(1-6)の半導体能動膜のCVD成膜工程と同様にしてゲート絶縁膜41上にa-Si層の成膜を行い、半導体能動膜42を形成する。

(2-8) オーミックコンタクト膜(a-Si:n⁺層)43aのスパッタ成膜工程

上記(1-7)のオーミックコンタクト膜のスパッタ工程と同様にして半導体能動膜42上にオーミックコンタクト膜43aを形成する。

(2-9) 半導体能動膜とオーミックコンタクト膜のパターニング工程

上記(1-8)のパターニング工程と同様にして半導体能動膜42とオーミックコンタクト膜43aにパターニングを施して、図11のAに示すようにゲート電極40よりも小さいアイランド状の半導体能動膜42とオーミックコンタクト膜43aを得る。

【0062】

(2-10) ソース電極及びドレイン電極用TiN膜の成膜工程

成膜室60を上記(2-1)の工程と同様にNを含むガス雰囲気とし、第1の電極70にチタンからなるターゲット71を装着し、第2の電極72にはガラス基板36を装着したままで、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、図11のAに示すようにオーミック

コンタクト膜 43a の上面と両側面とその下の半導体能動膜 42 の両側面とそれらに連続するゲート絶縁膜 41 の上面の一部分を覆うように、膜厚 500 オングストローム程度の TiN 膜 47 を形成する。

【0063】

(2-11) ソース電極及びドレイン電極用金属膜の成膜工程

図 11 の A に示すように TiN 膜 47 上に膜厚 500 オングストローム程度の金属膜 46e を上述のゲート電極用金属膜の成膜工程と同様にして形成する。

(2-12) ソース電極及びドレイン電極用銅膜の 2 周波励起スパッタ成膜工程

図 11 の A に示すように金属膜 46e 上に膜厚 1500 オングストローム程度の銅膜 46c を上述のゲート電極用銅膜の 2 周波励起スパッタ成膜工程と同様にして形成し、TiN 膜 47 と金属膜 46e と銅膜 46c とからなる積層膜 58 を得る。このようにすると、上記金属膜 46e 中の元素が銅膜 46c 中に引き込まれる。

【0064】

(2-13) ソース電極及びドレイン電極用 TiN 膜と金属膜及び銅膜と、半導体能動膜とオーミックコンタクト膜のパターニング工程

半導体能動膜 42 の中央部分の上部をエッチングにより除去し、半導体能動膜 42 の中央部分上のオーミックコンタクト膜 43a と TiN 膜 47 と金属膜 43a と銅膜 46e を除去することで、図 11 の B に示すように半導体能動膜 42 の両端部分上に相互に離隔したオーミックコンタクト膜 43、44 と、ソース電極 46 形成用 TiN 層 47a と金属膜 46e 及び銅層 46a と、ドレイン電極 48 形成用 TiN 層 47b と金属膜 46e と銅層 48a とを形成することができる。

(2-14) 基板の第二アニール工程

ソース電極 46 形成用 TiN 層 47a と金属膜 46e 及び銅層 46a と、ドレイン電極 48 形成用 TiN 47b と金属膜 46e と銅層 48a とが形成された基板 36 を先に行った基板の第一アニール工程と同様にしてアニール処理し、上記銅層 46a、48a 中に引き込まれた金属膜 46e の金属元素を上記銅層 46a、48a の表面に拡散し、図 11 の C に示すような銅層 46a、48a の周囲にチタン、モリブデン、クロム、タンタルのうちから選択された金属の被膜 46b

、48bが形成されたソース電極46とドレイン電極48が得られる。

【0065】

(2-15) パッシベーション膜49のCVD成膜工程

半導体能動膜42とソース電極46とドレイン電極48を覆うように窒化ケイ素からなるパッシベーション膜49をゲート絶縁膜41のCVD成膜工程とほぼ同様にして成膜する。

(2-16) 画素電極形成工程

ついで、パッシベーション膜49を乾式法あるいは乾式法と湿式法の併用によりエッチングしてコンタクトホール50を形成した後、パッシベーション膜49上にITO層を形成し、パターニングすることにより画素電極35を形成し、図9に示すようにコンタクトホール50の底面および内壁面、パッシベーション膜49の上面にかけて接続導体部51を形成し、この接続導体部51を介してドレイン電極48と画素電極35を接続すると、図9と同様の薄膜トランジスタ基板31aが得られる。

【0066】

上述のような薄膜トランジスタ基板の製造方法によれば、図9に示すような構造の薄膜トランジスタ基板31aを製造できる。

なお、ここでの薄膜トランジスタの製造方法において、金属膜40e、46eの厚みを変更したり、基板36をアニール処理する際のアニール温度を500°C以上とすると、基板36と各銅層の間の金属膜40e、46eを構成するチタンなどの金属元素のほぼ全てを銅層40a、46a、48aの表面に拡散させることができ、例えば、図12に示すような銅層40aの表面に、チタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜40bを有するようなゲート電極40や、図13に示すように銅層40aの表面に形成されたチタン膜40mと該チタン膜40mの表面に形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜40nとを有するようなゲート電極40が得られる。また、ソース電極46やドレイン電極48についても、銅層の表面にチタン原子数に対する酸素原子数の比が1対0乃至1対2である組成の被膜を有するようなものや、銅層の表面に形成されたチタン膜と該チタン膜の表面に

形成されたチタン原子数に対する酸素原子数の比が1対1乃至1対2である組成の膜とを有するようなものが得られる。

【0067】

このようにして得られた電極40、46、48は、銅層40a、46a、48aの下面側に被膜40b、46b、48bが設けられていないが、電極40、46、48と基板36との間にTiN層45a、47a、47bが設けられているので、各電極の下側の隣接膜である基板36やゲート絶縁膜41などから元素が拡散してきてもTiN層45a、47a、47bにより電極40、46、48への原子の拡散が阻害され、基板36や隣接膜からの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。

【0068】

(第3実施形態)

次に、本発明の薄膜トランジスタ基板の第3実施形態について図14を用いて説明する。

第3実施形態の薄膜トランジスタ基板31bは、トップゲート型TFTを備えたものであり、図14に示すように、例えばガラス等の透明基板102上に多結晶シリコンからなる半導体層103が形成され、その中央部上に SiN_x 等からなるゲート絶縁膜104が形成され、ゲート絶縁膜104上にTiN層101aを介してゲート電極105が形成されている。このゲート電極105は、銅層105aの表面に、第2実施形態の被膜40bと同様の材料からなる被膜105bを有してなるものである。なお、ゲート電極105は図示しないゲート配線と一体形成されている。

半導体層103には 10^{16}atm/cm^3 以下の低濃度で P^+ 、 As^+ 等のn型不純物が導入されたn⁻半導体層からなるソース領域107およびドレイン領域108が形成され、これらソース領域107、ドレイン領域108に挟まれた領域がチャネル部109となっている。また、これらソース領域107、ドレイン領域108をなすn⁻半導体層は、ゲート絶縁膜104端部の下方にまで侵入する形で形成されている。

【0069】

また、ソース領域 107 およびドレイン領域 108 表面にはタングステンシリサイド、モリブデンシリサイド等のシリサイド膜 110 がそれぞれ形成されており、一方のシリサイド膜 110 上に TiN 層 125a を介してソース配線 111 とソース電極 112 が形成され、他方のシリサイド膜 110 上に TiN 層 125b を介してドレイン電極 113 が形成されている。これらソース配線 111、ソース電極 112 は、銅層 112a の表面に第 2 実施形態の被膜 46b と同様の材料からなる被膜 112b を有してなるものである。ドレイン電極 113 は銅層 113a の表面に第 2 実施形態の被膜 48b と同様の材料からなる被膜 113b を有してなるものである。

そして、全面を覆うようにパッシベーション膜 114 が形成され、このパッシベーション膜 114 を貫通してドレイン電極 113 に達するコンタクトホール 115 が形成され、このコンタクトホール 115 を通じてドレイン電極 113 と接続された ITO からなる画素電極 116 が形成されている。

【0070】

また、図示を省略するが、ゲート配線端部のゲート端子部およびソース配線端部のソース端子部において、上記コンタクトホール 115 と同様、ゲート配線およびソース配線を覆うパッシベーション膜 114 が開口し、ITO からなるパッドがゲート配線およびソース配線に接続してそれぞれ設けられている。

【0071】

第 3 実施形態の薄膜トランジスタ基板 31b にあっては、電極や配線を構成する銅層 105a、112a、113a の表面に被膜 105b、112b、113b が形成されているので、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐腐食性を向上できる。またゲート電極 105、ソース配線 111 およびソース電極 112、ドレイン電極 113 と基板 102 との間にそれぞれ TiN 層 101a、125a、125b が設けられているので、各電極や配線の下側の隣接膜である基板（基体）102 やゲート絶縁膜 104 などから元素が拡散してきても TiN 層 101a、125a、125b により原子の拡散が阻害され、基板 102 やゲート絶縁膜 104 などからの元素の拡散に起因する配線抵抗の上昇の防止効果が優れる。また、TiN 層 101a、

125a、125bによって、ゲート電極105、ソース配線111およびソース電極112、ドレイン電極113の密着性が向上する。

【0072】

【実施例】

(実施例1)

図4ないし図6に示した薄膜の製造装置を用い、成膜室60をArガス雰囲気とし、第1の電極70にチタンからなるターゲット71を装着し、第2の電極72に1辺が6インチの正方形のガラス基板を装着し、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を-200Vにしてスパッタリングを行ない、ガラス基板上に膜厚500オングストロームのチタン膜を形成した。

ついで、成膜室60をArガス雰囲気とし、第1の電極70に銅からなるターゲット71を装着し、第2の電極72にはガラス基板を装着したままで、直流電源78を作動させて直流電力をターゲット71に印加するとともに第2の交流電源80を作動させて交流電力をガラス基板に印加する2周波励起スパッタ法により、上記チタン膜上に膜厚1500オングストロームのCu膜を形成した。ここでのガラス基板に印加する交流電力は、200Wであった。

【0073】

ついで、このCu膜の表面にレジストを塗布してパターン露光し、エッチング剤によりCu膜とチタン膜の不要部分を除去した後に感光性レジストを剥離するパターニングを施して、チタン膜とCu層の積層膜を形成した。

ついで、上記の積層膜が形成された基板を窒素ガス雰囲気で400°C、2時間アニール処理して、配線を作製した。この実施例1で得られた配線の構造をオージェ分析法により調べたところ、銅層の周囲にTiを含有する被膜が形成された構造のものであり、また、銅層上の被膜の厚みは100オングストロームであった。また、実施例1の配線の比抵抗を測定したところ、0.27Ω/□であり、アニール前後で変化なかった。

【0074】

(実施例2)

ガラス基板に印加する交流電力を100Wにした以外は、上記実施例1と同様にして配線を作製した。この実施例2で得られた配線の構造をオージェ分析法により調べたところ、銅層の周囲にTiを含有する被膜が形成された構造のものであり、また、銅層上の被膜の厚みは80オングストロームであった。また、実施例2の配線層の比抵抗を測定したところ、 $0.23\Omega/\square$ であった。

【0075】

(比較例1)

ガラス基板に印加する交流電力を0Wにした以外は、上記実施例1と同様にして配線を作製した。この比較例1で得られた配線の構造をオージェ分析法により調べたところ、銅層の周囲にTiを含有する被膜が形成された構造のものであり、また、銅層上の被膜の厚みは40オングストロームであった。また、比較例1の配線の比抵抗を測定したところ、 $0.23\Omega/\square$ であった。

上記実施例1、2及び比較例1からガラス基板に印加する交流電力を大きくするに従ってCu層上に形成される被膜の厚みが厚くなることがわかる。

【0076】

(比較例2)

図4ないし図6に示した薄膜の製造装置を用い、成膜室60をArガス雰囲気とし、第1の電極70に銅からなるターゲット71を装着し、第2の電極72にはガラス基板を装着し、直流電源78を作動させて直流電力をターゲット71に印加するとともに第2の交流電源80を作動させて交流電力をガラス基板に印加する2周波励起スパッタ法により、膜厚1500オングストロームのCu膜を形成した。ここでのガラス基板に印加する交流電力は、200Wであった。

ついで、このCu膜の表面にレジストを塗布してパターン露光し、エッチング剤によりCu膜の不要部分を除去した後に感光性レジストを剥離するパターニングを施して、Cu層を形成し、配線を作製した。この比較例2で得られた配線の比抵抗は、 $0.20\Omega/\square$ であった。

【0077】

(比較例3)

ガラス基板に印加する交流電力を100Wにした以外は、上記比較例2と同様

にして配線を作製した。この比較例 3 で得られた配線の比抵抗を測定したところ、 $0.18 \Omega/\square$ であった。

【0078】

(実験例 1)

実施例 1、2、比較例 1 乃至 3 で得られた配線の薬液耐性について調べた。ここの薬液耐性は、各配線を過硫酸アンモニウムエッチング液に 60 秒間浸漬し、これらを剥離液から取り出し、リンス洗浄、乾燥させたときのエッチング液浸漬前後の配線の表面の状態を原子力間顕微鏡 (AFM) により観察することにより評価した。その結果を図 15 から図 17 に示す。図 15 は、過硫酸アンモニウムエッチング液浸漬後の実施例 1 の配線の表面の金属組織を示す写真である。図 16 は、過硫酸アンモニウムエッチング液浸漬後の実施例 2 の配線の表面の金属組織を示す写真である。図 17 は、過硫酸アンモニウムエッチング液浸漬後の比較例 1 の配線の表面の金属組織を示す写真である。

【0079】

また、各配線のエッチングレートを測定したところ、アニール前の実施例 1 の配線は 1320 オングストローム/分、アニール後の実施例 1 の配線は約 3 分間の保持時間の後アニール前の配線と同様 1320 オングストローム/分、アニール前の実施例 2 の配線は 1260 オングストローム/分、アニール後の実施例 2 の配線は 1 分以上の保持時間の後アニール前の配線と同様 1260 オングストローム/分、アニール前の比較例 1 の配線は 1280 オングストローム/分、アニール後の比較例 1 の配線は保持時間は 1 分未満で、その後はアニール前の配線と同様 1280 オングストローム/分、比較例 2 の配線は 1270 オングストローム/分、比較例 3 の配線は 1280 オングストローム/分であり、さらに実施例 1 と同様のアニールをした後でもエッチングレートは変わらなかった。

【0080】

図 15 乃至図 17 に示した結果ならびにエッチングレートの測定結果から明らかのように基板に印加する交流電力が 0 W の比較例 1 の配線や銅層のみ形成した比較例 2、3 の配線は、エッチング液によるエッチングレートがエッチング開始直後から大きく、また、比較例 1 の配線は銅膜がほぼ全面に亘ってエッチングさ

れており（表面保護率が7%）、エッチング液により大きなダメージを受けていることがわかる。これに対して実施例1、2のものは、約1分間以上エッチングが進行しない保持時間を有し、基板に印加する交流電力が200Wの実施例1の配線の表面保護率は90%、基板に印加する交流電力が100Wの実施例2の配線の表面保護率は60%であり、エッチング液浸漬前後の配線の表面の状態があまり変化しておらず、比較例1のものに比べて薬液耐性が優れていることがわかる。なお、ここでの表面保護率とは、エッチング液浸漬前の配線の表面積（100%）に対するエッチング液浸漬後に残った表面部分の合計面積の割合である。

また、実施例1、2の配線においては、アニール前後の比抵抗はあまり変化がない。

【0081】

図18乃至図19に、実施例1の配線のアニール処理前後の配線構造をオージェ分析法より調べた結果を示す。図18は、実施例1の配線のアニール処理前のデプスプロファイルであり、図19は実施例1の配線のアニール処理後のデプスプロファイルである。

図18乃至図19に示した結果からアニール処理前は、ガラス基板とCu層の間のTiの含有量が多々、Cu層中にはTiがわずかに含まれており、また、Cu層表面には殆どTiが含まれていないことがわかる。ここでCu層中にTiが含まれているのは、Cuをスパッタ成膜する際に基板に交流電力を印加したためであると考えられる。また、アニール処理後は、ガラス基板とCu層の間のTiの含有量がアニール処理前に比べて少なくなり、また、Cu層表面側にTi及びOのピークが認められ、Cu層表面のTiおよびOがアニール処理前に比べて多くなっていることがわかる。これらのことから、アニール処理を施すことにより、TiがCu層の表面に拡散したことがわかる。

【0082】

（実施例3）

チタンからなるターゲット71に代えてクロムからなるターゲット71を用い、ガラス基板上にクロム膜を形成した以外は、上記実施例1と同様にして配線を作製した。また、実施例3の配線層の比抵抗を測定したところ、 $0.14\Omega/\square$

であった。

(実施例 4)

ガラス基板に印加する交流電力を 100 W にした以外は、上記実施例 3 と同様にして配線を作製した。また、実施例 4 の配線層の比抵抗を測定したところ、 $0.14 \Omega/\square$ であった。

(比較例 4)

ガラス基板に印加する交流電力を 0 W にした以外は、上記実施例 3 と同様にして配線を作製した。また、比較例 1 の配線の比抵抗を測定したところ、 $0.14 \Omega/\square$ であった。

【0083】

(実験例 2)

実施例 3、4、比較例 4 で得られた配線の薬液耐性について上記実験例 1 と同様にして調べた。その結果を図 20 乃至図 22 に示す。図 20 は、過硫酸アンモニウムエッチング液浸漬後の実施例 3 の配線の表面の金属組織を示す写真である。図 21 は、過硫酸アンモニウムエッチング液浸漬後の実施例 4 の配線の表面の金属組織を示す写真である。図 22 は、過硫酸アンモニウムエッチング液浸漬後の比較例 4 の配線の表面の金属組織を示す写真である。

また、各配線のエッチングレートを測定したところ、アニール前の実施例 3 の配線は 1280 オングストローム/分、アニール後の実施例 3 の配線は約 2 分間の保持時間の後アニール前の配線と同様 1280 オングストローム/分、アニール前の実施例 4 の配線は 1310 オングストローム/分、アニール後の実施例 4 の配線は 1 分以上の保持時間の後アニール前と同様 1310 オングストローム/分、アニール前の比較例 4 の配線は 1270 オングストローム/分、アニール後の比較例 4 の配線は保持時間は 1 分未満で、その後はアニール前の配線と同様 1270 オングストローム/分であった。

【0084】

図 20 乃至図 22 に示した結果ならびにエッチングレートの測定結果から明らかのように基板に印加する交流電力が 0 W の比較例 4 の配線や銅層のみ形成した比較例 2、3 の配線は、エッチング液によるエッチングレートがエッチング開始

直後から大きく、また、比較例 4 の配線は銅膜がほぼ全面に亘ってエッチングされており（表面保護率が 1 5 %）、エッチング液により大きなダメージを受けていることがわかる。これに対して実施例 3, 4 のものは、約 1 分間以上エッチングが進行しない保持時間を有し、基板に印加する交流電力が 2 0 0 W の実施例 3 の配線の表面保護率は 7 0 %、基板に印加する交流電力が 1 0 0 W の実施例 4 の配線の表面保護率は 5 0 % であり、エッチング液浸漬前後の配線の表面の状態があまり変化しておらず、比較例 4 のものに比べて薬液耐性が優れていることがわかる。

また、実施例 3, 4 の配線においては、アニール前後の比抵抗はあまり変化がない。

【 0 0 8 5 】

図 2 3 乃至図 2 4 に、実施例 3 の配線のアニール処理前後の配線構造をオージェ分析法より調べた結果を示す。図 2 3 は、実施例 3 の配線のアニール処理前のデプスプロファイルであり、図 2 4 は実施例 3 の配線のアニール処理後のデプスプロファイルである。

図 2 3 乃至図 2 4 に示した結果からアニール処理前は、ガラス基板と Cu 層の間の Cr の含有量が多く、Cu 層中には Cr がわずかに含まれており、また、Cu 層表面には殆ど Ti が含まれていないことがわかる。ここで Cu 層中に Ti が含まれているのは、Cu をスパッタ成膜する際に基板に交流電力を印加したためであると考えられる。

また、アニール処理後は、ガラス基板と Cu 層の間の Cr の含有量がアニール処理前に比べて少なくなり、また、Cu 層表面側に Cr 及び O のピークが認められ、Cu 層表面の Cr および O がアニール処理前に比べて多くなっていることがわかる。これらのことから、アニール処理を施すことにより、Cr が Cu 層の表面に拡散したことがわかる。

【 0 0 8 6 】

（実験例 3）

チタンからなるターゲット 7 1 に代えてモリブデンからなるターゲット 7 1 を用い、また、ガラス基板に印加する交流電力を 0 ~ 2 0 0 W の範囲で変更し、ガ

ラス基板上にモリブデン膜を形成した以外は、上記実施例 1 と同様にして配線を作製したときの、Cu 層上に形成される被膜とガラス基板に印加する交流電力との関係を調べた。その結果、ガラス基板に印加する交流電力が 200 W のときに得られる被膜は、70 オングストローム、100 W のときに得られる被膜は 60 オングストローム、0 W のときに得られる被膜は 20 オングストロームであった。このことからガラス基板に印加する交流電力を大きくするに従って Cu 層上に形成されるモリブデンを含む被膜の厚みが厚くなることがわかる。

【0087】

(実験例 4)

図 4 ないし図 6 に示した薄膜の製造装置を用い、成膜室 60 を N_2 と Ar ガスの混合雰囲気とし、第 1 の電極 70 にチタンからなるターゲット 71 を装着し、第 2 の電極 72 には 1 辺が 6 インチの正方形のガラス基板を装着し、第 1 の交流電源 75 から第 1 の電極 70 に周波数 13.6 MHz 程度の高周波を供給し、更に直流電源 78 から負荷する負荷電位を -200 V にしてスパッタリングを行なうことにより膜厚 500 オングストロームの TiN 膜を成膜した。

ついで、成膜室 60 を Ar ガス雰囲気とし、第 1 の電極 70 にチタンからなるターゲット 71 を装着し、第 2 の電極 72 に上記 1 辺が 6 インチの正方形のガラス基板を装着したままで、第 1 の交流電源 75 から第 1 の電極 70 に周波数 13.6 MHz 程度の高周波を供給し、更に直流電源 78 から負荷する負荷電位を -200 V にしてスパッタリングを行ない、ガラス基板上に膜厚 200 オングストロームのチタン膜を形成した。

【0088】

ついで、成膜室 60 を Ar ガス雰囲気とし、第 1 の電極 70 に銅からなるターゲット 71 を装着し、第 2 の電極 72 にはガラス基板を装着したままで、直流電源 78 を作動させて直流電力をターゲット 71 に印加するとともに第 2 の交流電源 80 を作動させて交流電力をガラス基板に印加する 2 周波励起スパッタ法により、上記チタン膜上に膜厚 1400 オングストロームの Cu 膜を成膜し、TiN 膜とチタン膜と Cu 膜からなる積層膜を形成した。ここでのガラス基板に印加する交流電力は、200 W であった。

ついで、上記の積層膜が形成された基板を窒素ガス雰囲気で 400°C 、2時間アニール処理して、試験片1を作製した。

【0089】

また、Cu膜の厚みを1500オングストローム、アニール処理時の温度を 500°C とした以外は、上記の方法と同様にして試験片2を作製した。

【0090】

また、図4ないし図6に示した薄膜の製造装置を用い、成膜室60を $\text{SiH}_4 + \text{H}_2$ 混合ガス雰囲気とし、第1の電極70にダミーターゲット71aを装着し、第2の電極72にガラス基板36を装着し、第1の交流電源75から第1の電極70に周波数200MHz程度の高周波を供給し、更に、第2の交流電源80から第2の電極72に高周波電力を供給し、ガラス基板36にかかるイオンエネルギーを制御して膜厚1000オングストロームのa-Si層 (i-Si) を成膜した。

【0091】

ついで、成膜室60をArガス雰囲気とし、第1の電極70にa-Si: n^+ 層生成用のPドープSiからなるターゲット71を装着し、第1の交流電源75から第1の電極70に周波数13.6MHz程度の高周波を供給し、更に直流電源78から負荷する負荷電位を -200V にしてスパッタリングを行ない、上記a-Si層上に膜厚200オングストロームのa-Si: n^+ 層 (n^+Si) を成膜した。

ついで、このa-Si: n^+ 層上に膜厚500オングストロームのTiN膜を上記試験片1と同様にして成膜し、さらにこのTiN膜上に膜厚1500オングストロームのCu膜を上記試験片1と同様にして成膜した。

この後、この基板を窒素ガス雰囲気で 500°C 、2時間アニール処理して、試験片3を作製した。

【0092】

図25乃至図27に、試験片1乃至3の構造をオージェ分析法より調べた結果を示す。図25は、 400°C で2時間アニール処理を施した試験片1のデプスプロファイルであり、図26は、 500°C で2時間アニール処理を施した試験

片2のデプスプロファイルであり、図27は、500°Cで2時間アニール処理を施した試験片3のデプスプロファイルである。

【0093】

図25乃至図27に示した結果から、TiN膜とCu膜の間にTi膜を設けていない試験片3のものは、Cu膜の表面側にTiのピークがなく、500°Cでアニール処理してもCu膜の表面にはTiが拡散していないことがわかる。また、CuのピークとSiのピークの間（Cu膜とSi層の間）には、—◇—で示されるNのピークと、—△—で示されるTiのピークがあり、また、Nのピークは、Tiのピークより大きい、それはオージェ分析法では、Nのピークの近傍にあるTiのピークも検出されてしまうため、—◇—で示されるNのピークには、N以外にTiも含まれており、従って、NとTiとの含有率はほぼ1:1であると推定されるため、Cu膜とa-Si:n⁺層との間にTiN膜が残存していることがわかる。

【0094】

TiN膜とCu膜の間にTi膜を設けた試験片2のものは、Cu膜の表面側にTiのピークが認められ、400°Cでアニール処理することによりCu膜の表面にTiが拡散していることがわかる。また、Cuのピークと、ガラス基板中のOのピークの間では、—◇—で示されるNのピークは—△—で示されるTiのピークより大きい、先に述べた同様の理由により、TiN膜が残存していることがわかる。なお、Cu膜の表面側にOのピークが認められるが、これはOがTiと反応して、チタン酸化膜が生成したためである。

また、試験片3のものは、試験片2のものよりCu膜の表面側のTiのピークが大きく、また、Cuのピークとガラス基板中のOのピークの間—△—で示されるTiのピークが小さくなっており、500°Cでアニール処理することにより、Ti膜を構成するTiの殆どが、Cu膜の表面に拡散したと考えられる。

【0095】

（実験例5）

アニール条件を変更した以外は、上記試験片3の作製方法と同様にして試験片4を作製した。

また、 $a-Si:n^+$ 層上にTiN膜に代えて各種の金属膜（膜厚500オングストロームのTi膜、膜厚500オングストロームのCr膜、膜厚500オングストロームのMo膜、膜厚500オングストロームのTiN膜と膜厚200オングストロームのTi膜）を形成し、また、アニール条件を変更した以外は、上記試験片3の作製方法と同様にして試験片5乃至8を作製した。

そして、試験片4乃至試験片8の積層膜のシート抵抗について調べた。その結果を図28に示す。図28中、横軸はアニール温度（°C）、縦軸の $R/R(i)$ はCu膜のシート抵抗値に対する積層膜のシート抵抗値の比である。

【0096】

図28の結果から $a-Si:n^+$ 層とCu膜の間にTi膜を設けた試験片5のものは、アニール温度が300°Cを超えると膜のシート抵抗が徐々に大きくなり、アニール温度が400°Cでのシート抵抗がCu膜のシート抵抗の約1.5倍で、500°Cで最もシート抵抗が大きいことわかる。ここでアニール温度の上昇によりシート抵抗が大きくなるのは、温度の上昇によりCu膜を構成するCuと、下地の金属膜の元素がCuと相互拡散し、Cuの中に固溶するためのである。

これに対して、 $a-Si:n^+$ 層とCu膜の間にTiN膜又はMoを設けた試験片4、7のものは、アニール温度を変更しても殆どシート抵抗は変化せず、Cu膜と同じ程度の低抵抗の膜であることがわかる。また、 $a-Si:n^+$ 層とCu膜の間にCr膜を設けた試験片6のものは、400°Cでのシート抵抗がCu膜の抵抗の約1.1倍で、また、アニール温度を変更しても殆どシート抵抗は変化していないことがわかる。また、 $a-Si:n^+$ 層とCu膜の間にTiN膜とTi膜を設けた試験片8のものは、アニール温度が400°Cでのシート抵抗がCu膜の約1.3倍となるが、500°Cを超えるとCu膜と同じ程度の低抵抗となることがわかる。

【0097】

（実験例6）

上記試験片4乃至8を400°Cで2時間アニール処理したときのCu膜の下層の金属膜（TiN膜、Ti膜、Cr膜、Mo膜、TiN膜とTi膜）の拡散状

態についてオージェ分析法により調べた。結果を以下に述べる。

試験片4、7のものは、Cu膜の表面には金属膜(Mo膜、TiN膜)を構成する元素は殆ど拡散していないことが分かった。

これに対して試験片5、6のものは、Cu膜の表面に厚さ100オングストローム程度のチタンの酸化膜やクロムの酸化膜からなる被膜が形成されていることがわかった。また、試験片8のものは、Cu膜の表面に厚さ100オングストローム程度のチタンの酸化膜からなる被膜が形成されていることがわかった。

【0098】

(実験例7)

上記試験片4乃至7についてa-Si: n⁺層とCu膜間に形成された金属膜のバリヤー性について評価した。ここでのバリヤー性は、Cu膜に電圧を印加したときのシート抵抗を測定することにより評価した。結果を図29に示す。

図29に示した結果からa-Si: n⁺層とCu膜間にTi膜やCr膜を設けた試験片5、6は、アニール温度が400°Cを超えると急激にシート抵抗が上昇していることがわかる。また、a-Si: n⁺層とCu膜間にMo膜を設けた試験片7は、500°Cまでシート抵抗は殆ど変化せず、500°Cを超えると急激に上昇していることがわかる。ここで急激にシート抵抗が上昇するのは、アニール温度の上昇により、メタルシリサイド反応により、a-Si: n⁺層とCu膜間の金属膜のバリヤー性が低下し、a-Si: n⁺層中のSiが拡散して、Cu膜中に入り込むためである。

これに対してa-Si: n⁺層とCu膜間にTiN膜を設けた試験片4は、アニール温度が500°Cまでシート抵抗が殆ど変化せず、また、500°Cを超えても試験片7に比べて緩やかに上昇していることがわかる。

従ってTiN膜は、Ti、Cr、Moに比べて、耐熱性が優れており、隣接膜からの元素の拡散の防止に有効であることがわかる。

【0099】

(実験例8)

ガラス基板とTi膜との間にTiN膜を設けず、また、Ti膜上にCu膜を形成する前にTi膜の表面にプラズマエッチングを施してTiの酸化層を除去し、

アニール条件を変更した以外は試験片 1 の作製方法と同様にして試験片 9 を作製した。

ここでのプラズマエッチングは、成膜室 60 を Ar ガス雰囲気とし、第 1 の電極 70 にダミーターゲット 71 a を装着し、第 2 の電極に Ti 膜を成膜したガラス基板を装着したままで、第 1 の交流電源 75 から第 1 の電極 70 に高周波を供給し、負荷電位をフローティングしてプラズマを発生させるとともに、第 2 の電極 72 に高周波電力を供給しガラス基板に 200 W 程度の交流電力を 2 分程度印加することにより行われる。

また、Ti 膜の表面にプラズマエッチングを施す際、ガラス基板に印加する交流電力を 50 W、1 分とした以外は上記試験片 10 の作製方法と同様にして各種の試験片 9 乃至 13 を作製した。

【0100】

図 30 に、アニール処理前の試験片 9 の構造と、アニール温度を 250 °C から 500 °C の範囲で変更したときの試験片 9 の構造をオージェ分析法により調べた結果を示す。

また、図 31 にアニール処理前の試験片 10 の構造と、アニール温度を 300 °C から 500 °C の範囲で変更したときの試験片 10 の構造をオージェ分析法により調べた結果を示す。

【0101】

図 30 乃至図 31 の結果からアニール処理前の試験片 10 は、Cu 膜と Ti 膜の境界付近に O のピークが認められ、Ti 膜の表面にチタンの酸化膜が生成されていることがわかる。また、Ti が Cu 膜の表面側に拡散し始める温度は 350 °C であり、さらにアニール温度を高くするに従って、Cu 膜の表面側に拡散する Ti の量が増えることがわかる。これに対してアニール処理前の試験片 9 は、Cu 膜と Ti 膜の境界付近に O のピークが認められないことから、プラズマエッチング処理によりチタンの酸化膜が除去されたことがわかる。また、Ti が Cu 膜の表面側に拡散し始める温度は 300 °C であり、試験片 10 よりも低い温度で Ti が拡散し始めていることがわかる。従って、プラズマエッチングにより Ti 膜表面のチタンの酸化膜を除去することが、Ti を Cu 膜の表面に拡散させる

ためのアニール温度を下げるのに有効であることがわかる。

【0102】

(実験例9)

TiN膜とガラス基板との間に膜厚3000オングストロームのSiO₂膜を形成し、TiN膜とCu膜の間のTi膜の厚みを100オングストロームから500オングストロームの範囲で変更し、さらにアニール条件を変更以外は、上記実験例4の試験片3とほぼ同様にして試験片11乃至14を作製した。

そして、試験片11乃至試験片14の積層膜のシート抵抗について調べた。その結果を図32に示す。図32中、横軸はアニール温度(°C)、縦軸のR/R_(in)はCu膜のシート抵抗値に対する積層膜のシート抵抗値の比である。

【0103】

図32の結果からSiO₂とCu膜の間に厚さ500オングストロームのTiN膜と厚さ300乃至500オングストロームのTi膜を設けた試験片11乃至12のものは、アニール温度が300°Cを超えると膜のシート抵抗が徐々に大きくなり、400°Cで最もシート抵抗が大きくなっていることがわかる。

これに対してSiO₂とCu膜の間に厚さ500オングストロームのTiN膜と厚さ200オングストロームのTi膜を設けた試験片13のものは、試験片11乃至12のものよりもシート抵抗の変化が小さいことがわかる。また、SiO₂とCu膜の間に厚さ500オングストロームのTiN膜と厚さ100オングストロームのTi膜を設けた試験片14のものは、アニール温度を変更しても殆どシート抵抗は変化していないことがわかる。

従って、TiN膜上に成膜するTi膜の厚みを200オングストローム以下とすることにより、抵抗上昇が少なく、低抵抗の配線とすることができることがわかる。

【0104】

【発明の効果】

以上説明したように本発明によれば、低抵抗の銅を配線材料として用いる場合に、水分や酸素に対する耐酸化性を向上でき、しかもエッチング剤やレジスト剥離液などに対する耐腐食性を向上でき、下地との密着性を向上でき、さらに隣接

膜との間での元素の相互拡散を防止できる配線とこれを用いた薄膜トランジスタ基板およびその製造方法と、そのような薄膜トランジスタ基板を備えた液晶表示装置を提供できる。

【図面の簡単な説明】

【図 1】 本発明に係わる第 1 実施形態の液晶表示装置と薄膜トランジスタ基板の断面を示す図である。

【図 2】 図 1 の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

【図 3】 図 1 の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

【図 4】 本発明に係わる実施形態の薄膜トランジスタ基板の製造方法に好適に用いられる薄膜の製造装置の成膜室を示す構成図である。

【図 5】 本発明に係わる実施形態の薄膜トランジスタ基板の製造方法に好適に用いられる薄膜の製造装置の全体構成を示す平面図である。

【図 6】 図 5 に示す薄膜の製造装置の一部を拡大した側面図である。

【図 7】 本発明に係わる第 1 実施形態の薄膜トランジスタ基板の製造方法を工程順に示す図である。

【図 8】 本発明に係わる第 1 実施形態の薄膜トランジスタ基板の製造方法を工程順に示す図である。

【図 9】 本発明に係わる第 2 実施形態の液晶表示装置と薄膜トランジスタ基板の断面を示す図である

【図 10】 本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法を工程順に示す図である。

【図 11】 本発明に係わる第 2 実施形態の薄膜トランジスタ基板の製造方法を工程順に示す図である。

【図 12】 図 9 の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

【図 13】 図 9 の薄膜トランジスタ基板に備えられるゲート電極のその他の例を示す拡大断面図である。

【図 1 4】 本発明に係わる第 3 実施形態の薄膜トランジスタ基板の断面を示す図である。

【図 1 5】 エッチング液浸漬後の実施例 1 の配線の表面の金属組織を示す写真である。

【図 1 6】 エッチング液浸漬後の実施例 2 の配線の表面の金属組織を示す写真である。

【図 1 7】 エッチング液浸漬後の比較例 1 の配線の表面の金属組織を示す写真である。

【図 1 8】 実施例 1 の配線のアニール処理前の配線構造をオージェ分析法により調べた結果を示す図である。

【図 1 9】 実施例 1 の配線のアニール処理後の配線構造をオージェ分析法により調べた結果を示す図である。

【図 2 0】 エッチング液浸漬後の実施例 3 の配線の表面の金属組織を示す写真である。

【図 2 1】 エッチング液浸漬後の実施例 4 の配線の表面の金属組織を示す写真である。

【図 2 2】 エッチング液浸漬後の比較例 4 の配線の表面の金属組織を示す写真である。

【図 2 3】 実施例 3 の配線のアニール処理前の配線構造をオージェ分析法により調べた結果を示す図である。

【図 2 4】 実施例 3 の配線のアニール処理後の配線構造をオージェ分析法により調べた結果を示す図である。

【図 2 5】 試験片 1 の構造をオージェ分析法により調べた結果を示す図である。

【図 2 6】 試験片 2 の構造をオージェ分析法により調べた結果を示す図である。

【図 2 7】 試験片 3 の構造をオージェ分析法により調べた結果を示す図である。

【図 2 8】 試験片 4 乃至試験片 8 の積層膜のシート抵抗を調べた結果を示す図である。

す図である。

【図 29】 試験片 4 乃至 7 の $a-Si:n^+$ 層と Cu 膜間の金属膜のバリエーション性を調べた結果を示す図である。

【図 30】 アニール処理前の試験片 9 の構造と、アニール温度を $250^{\circ}C$ から $500^{\circ}C$ の範囲で変更したときの試験片 9 の構造をオージェ分析法により調べた結果を示す。

【図 31】 アニール処理前の試験片 10 の構造と、アニール温度を $300^{\circ}C$ から $500^{\circ}C$ の範囲で変更したときの試験片 10 の構造をオージェ分析法により調べた結果を示す図である。

【図 32】 試験片 11 乃至試験片 14 の積層膜のシート抵抗を調べた結果を示す図である。

【図 33】 従来の液晶表示装置に備えられた薄膜トランジスタ基板の一例の画素部を示す平面略図である。

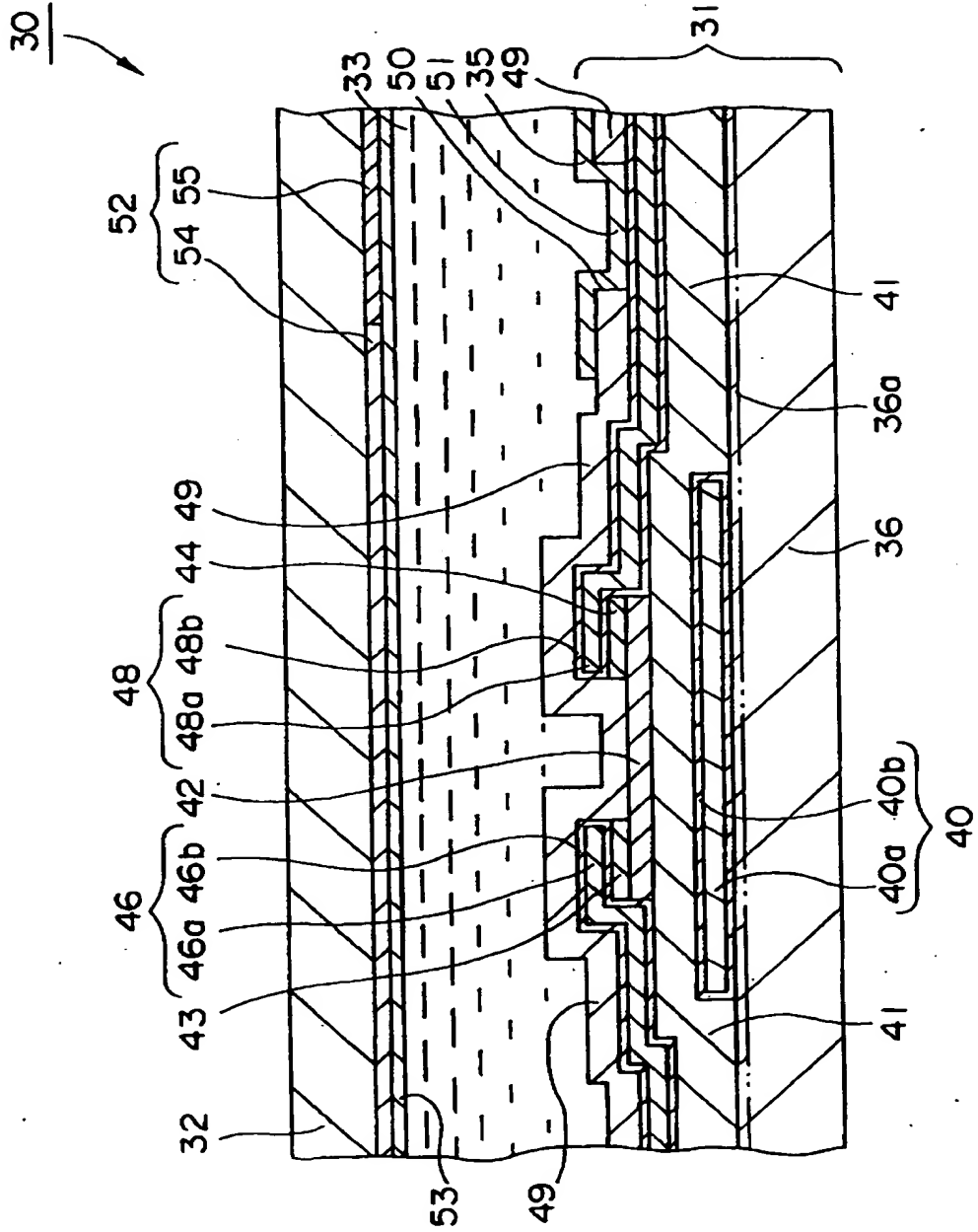
【図 34】 図 33 の薄膜トランジスタ基板を示す断面図である。

【符号の説明】

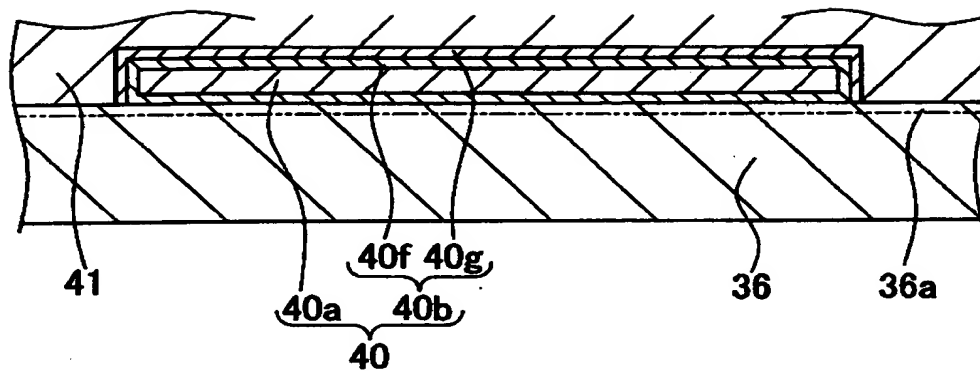
30...液晶表示装置、31、31a、31b...薄膜トランジスタ基板、36、102...基板、36a... SiN_x 膜、40、105...ゲート電極、40a、46a、48a、105a、112a...銅層、40b、46b、48b、105b、112b...被膜、40c、46c...銅膜、40e、46e...金属膜、40f、40h、40m...チタン膜、40g、40i、40n...膜、45、47...Ti膜、45a、47a、47b、101a、125a、125b...TiN層、46、112...ソース電極、48、113...ドレイン電極、A'...薄膜の製造装置、60...成膜室、70...第1の電極、72...第2の電極、71...ターゲット、75...第1の交流電源、78...直流電源、80...第2の交流電源、111...ソース配線。

【書類名】 図面

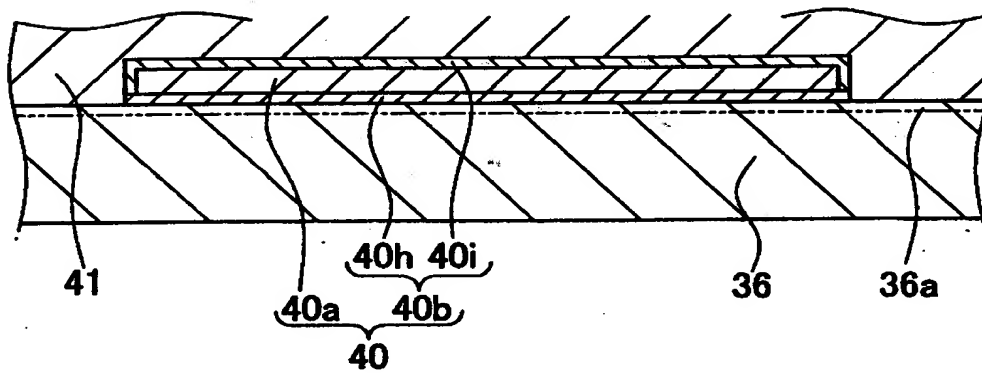
【図 1】



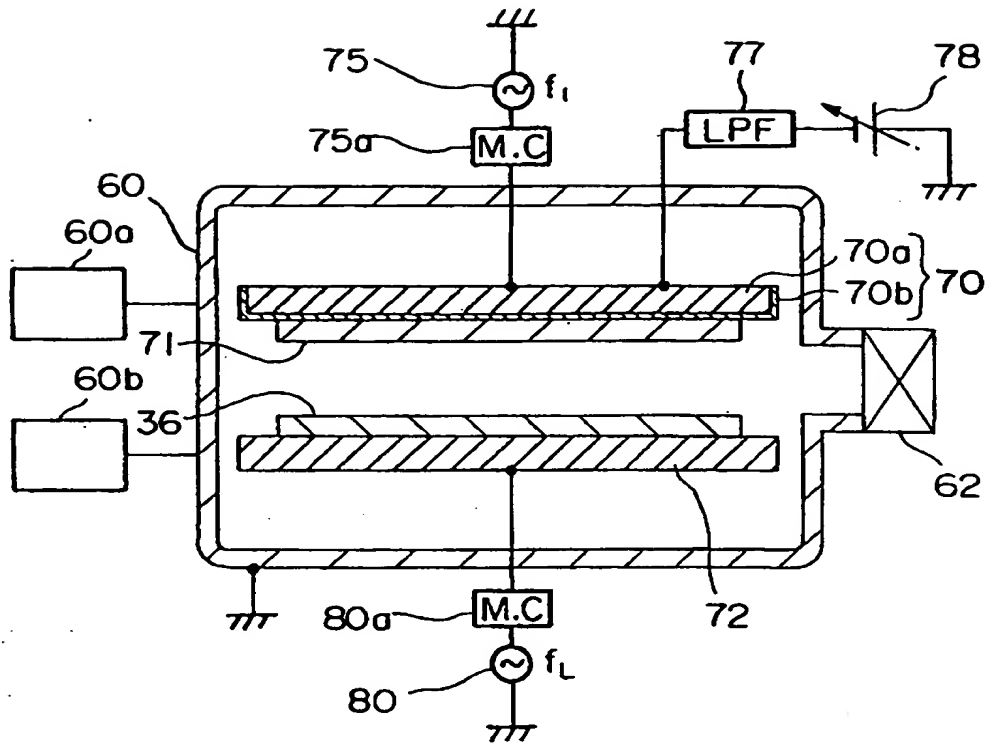
【図 2】



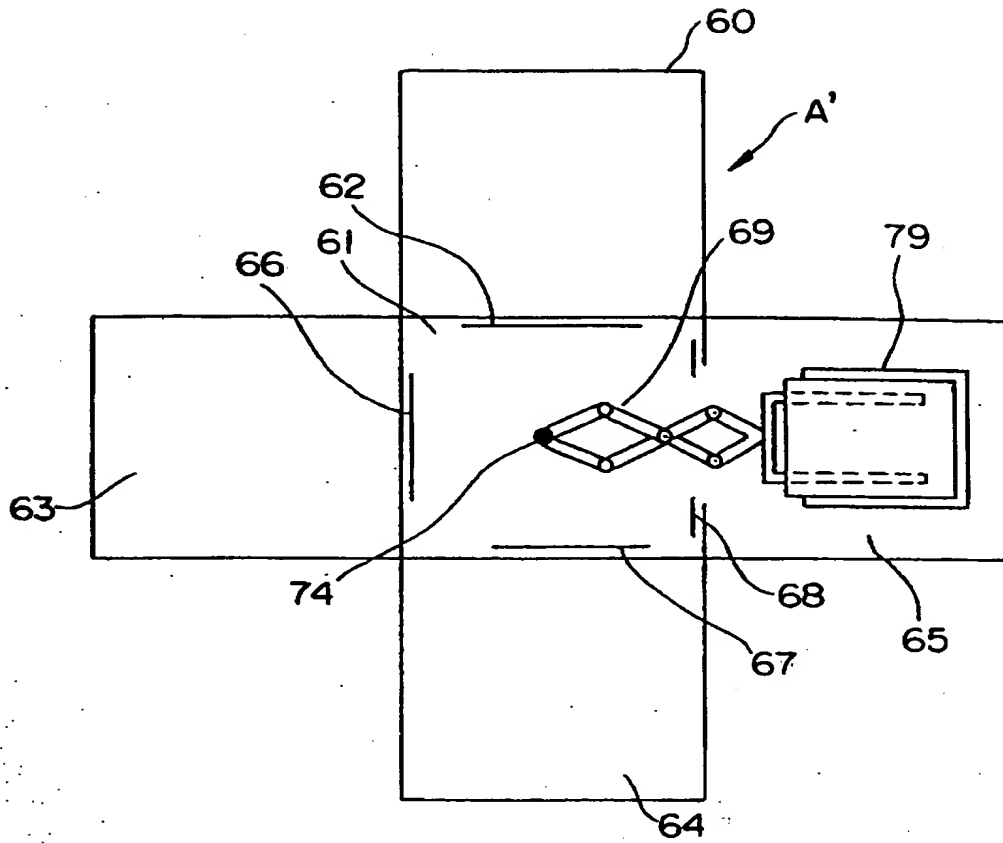
【図 3】



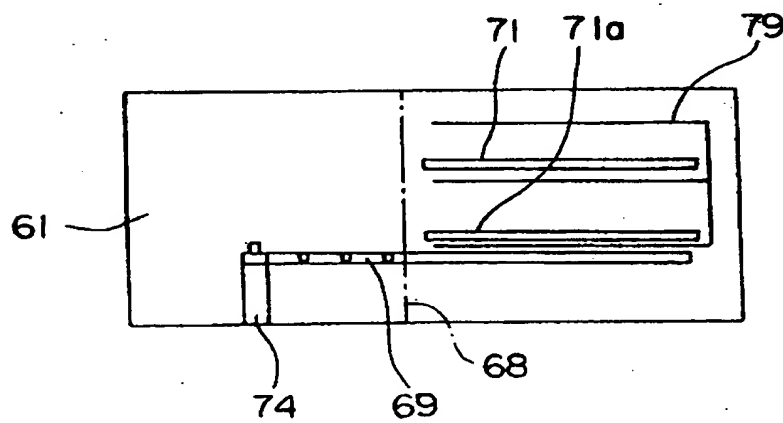
【図 4】



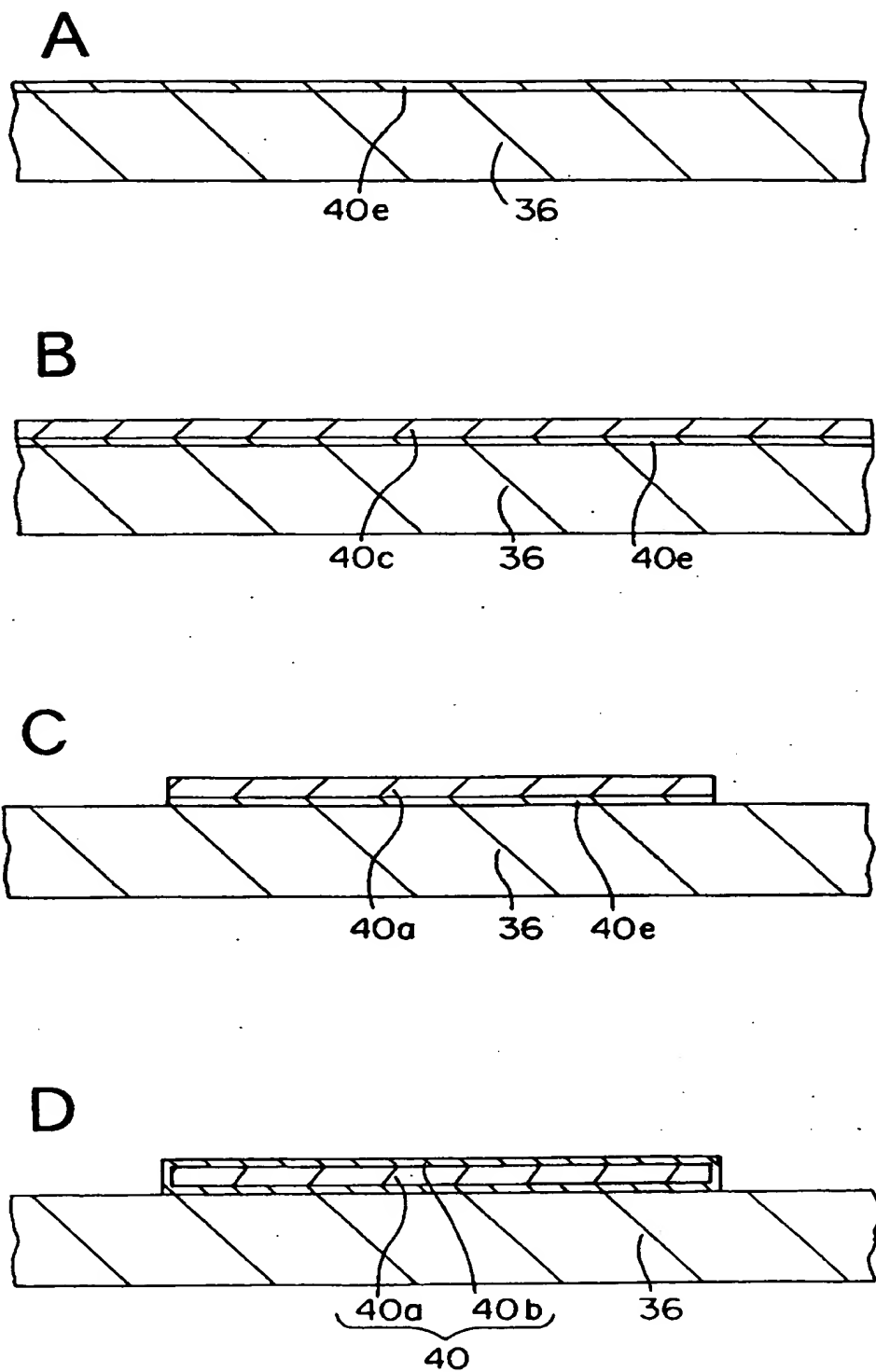
【图 5】



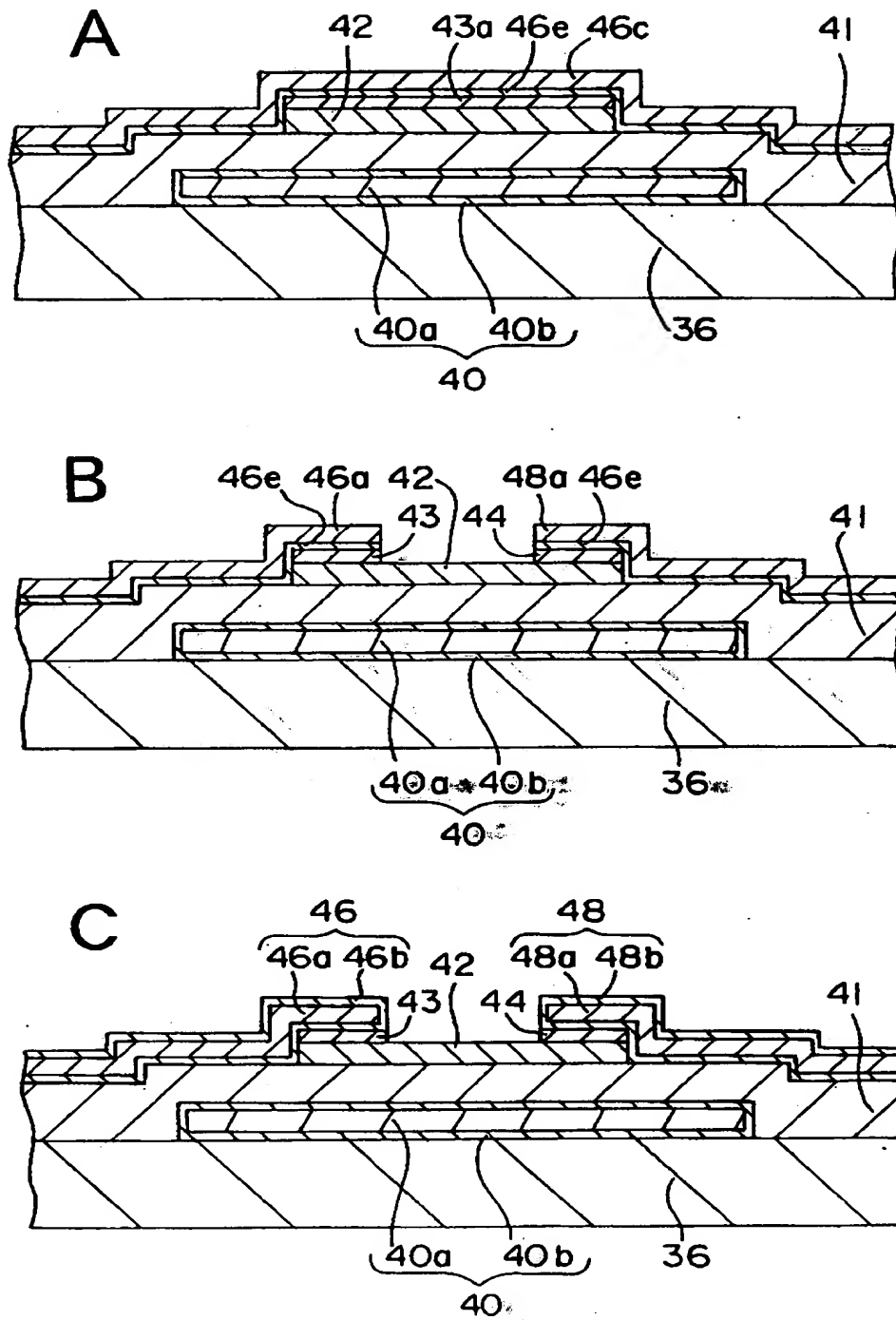
【図 6】



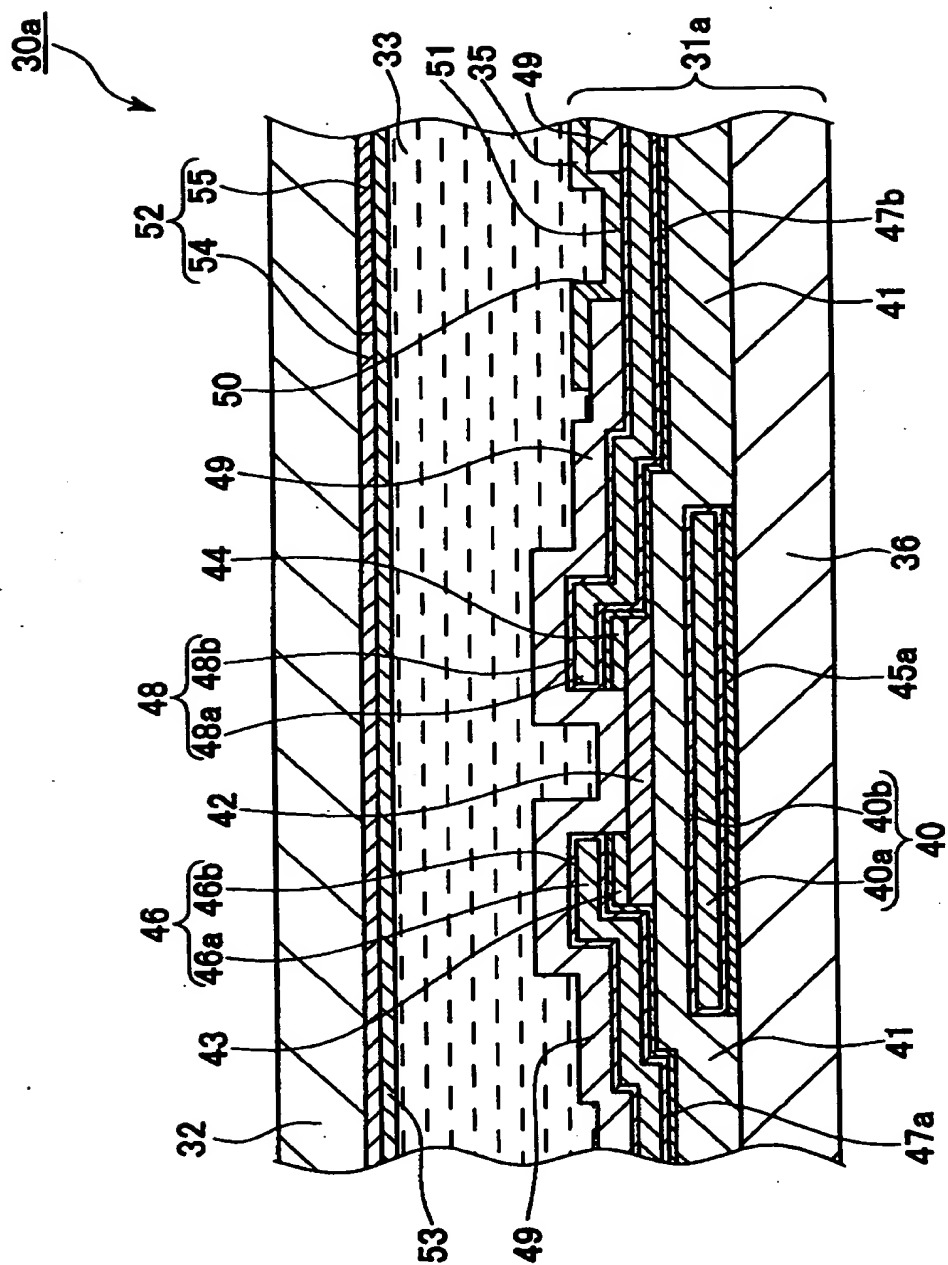
【図 7】



【図 8】

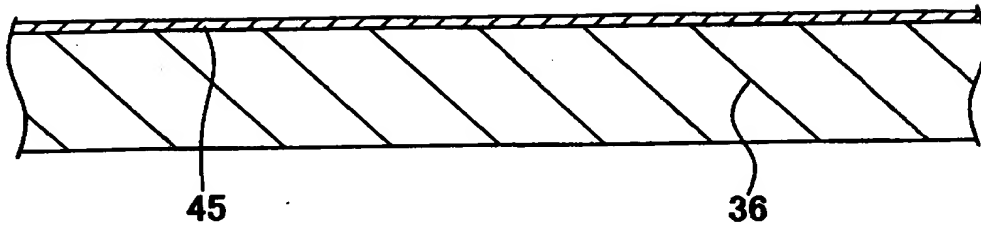


【図 9】

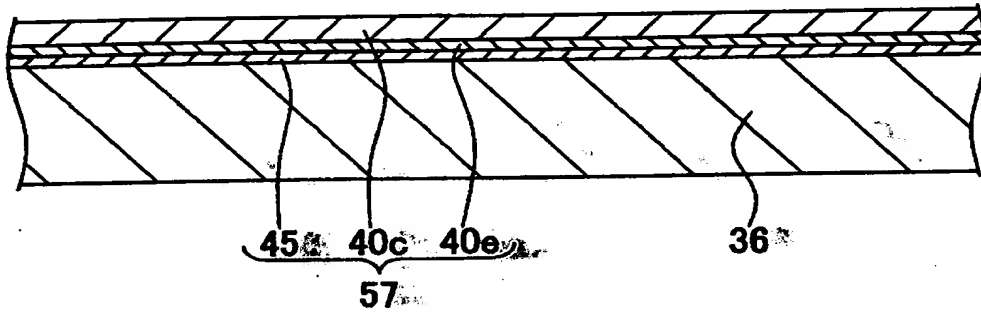


【図10】

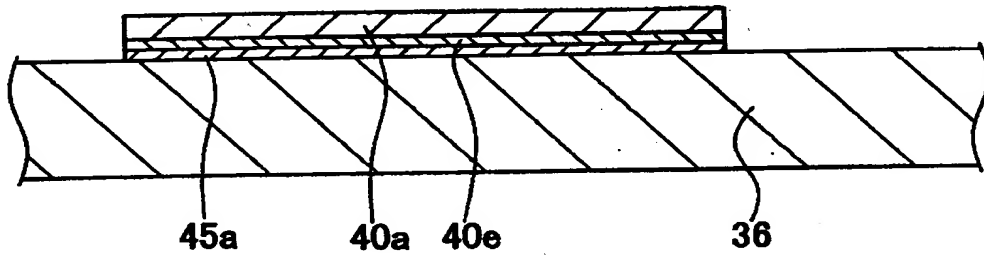
A



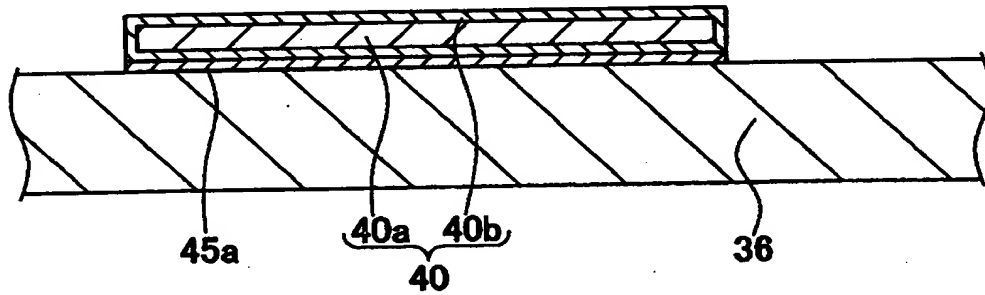
B



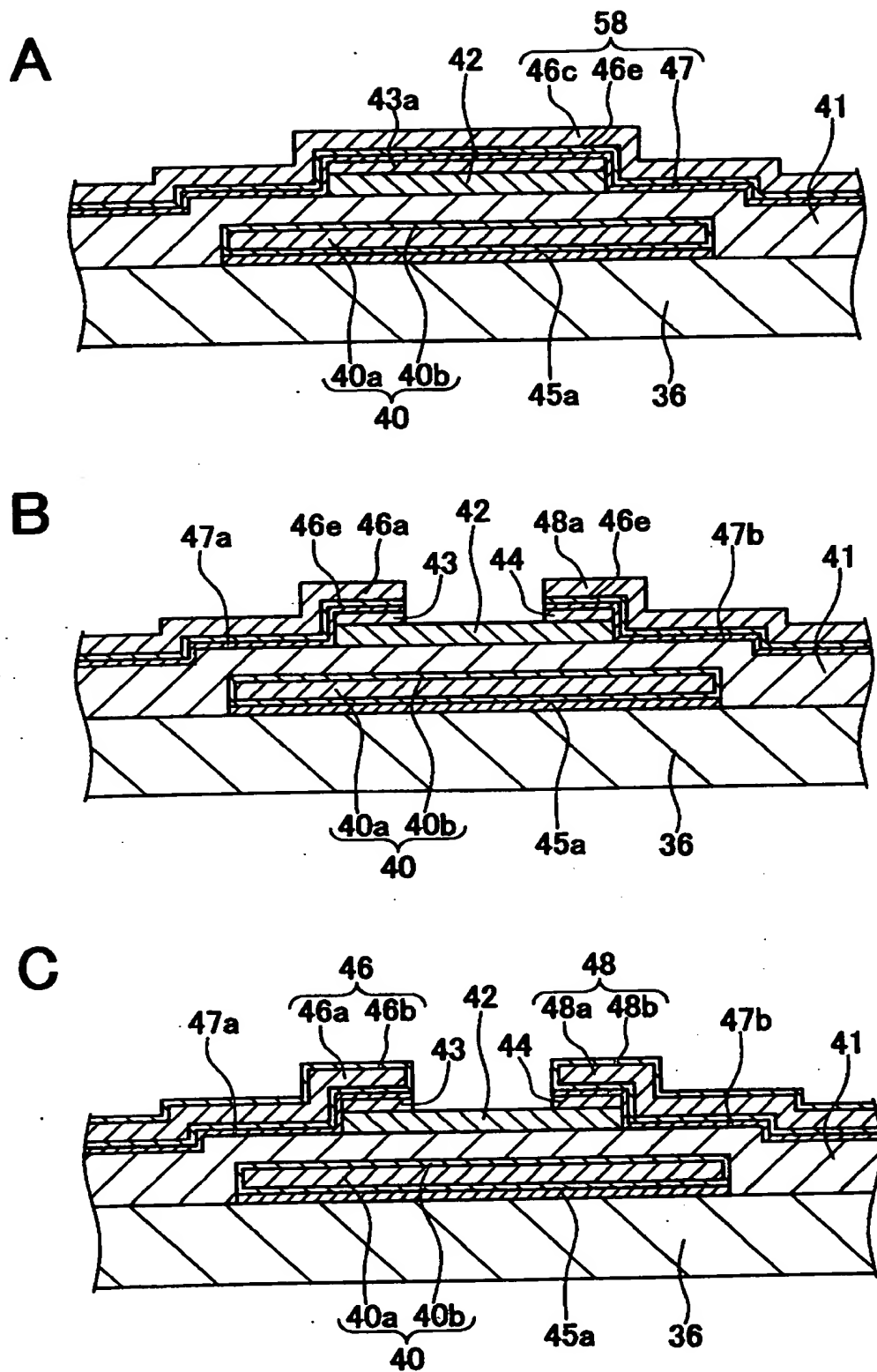
C



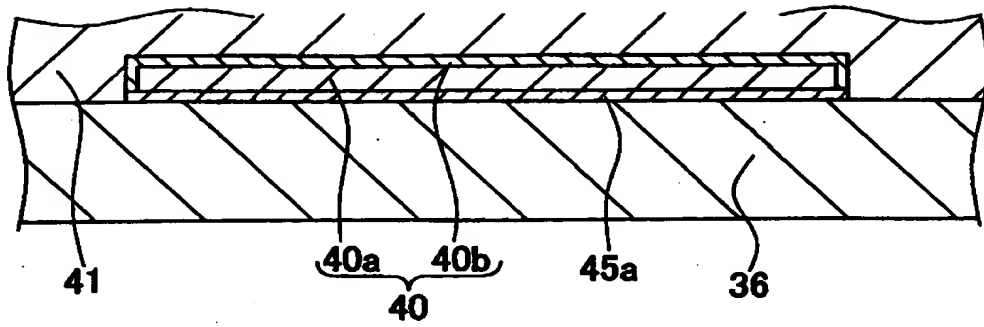
D



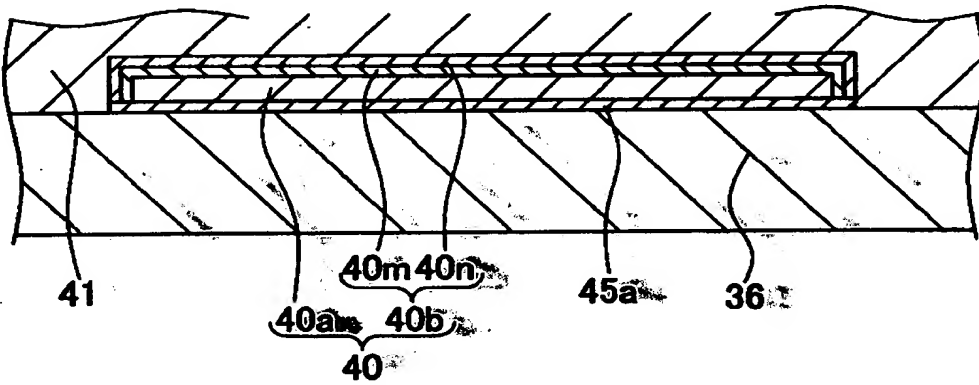
【図 1 1】



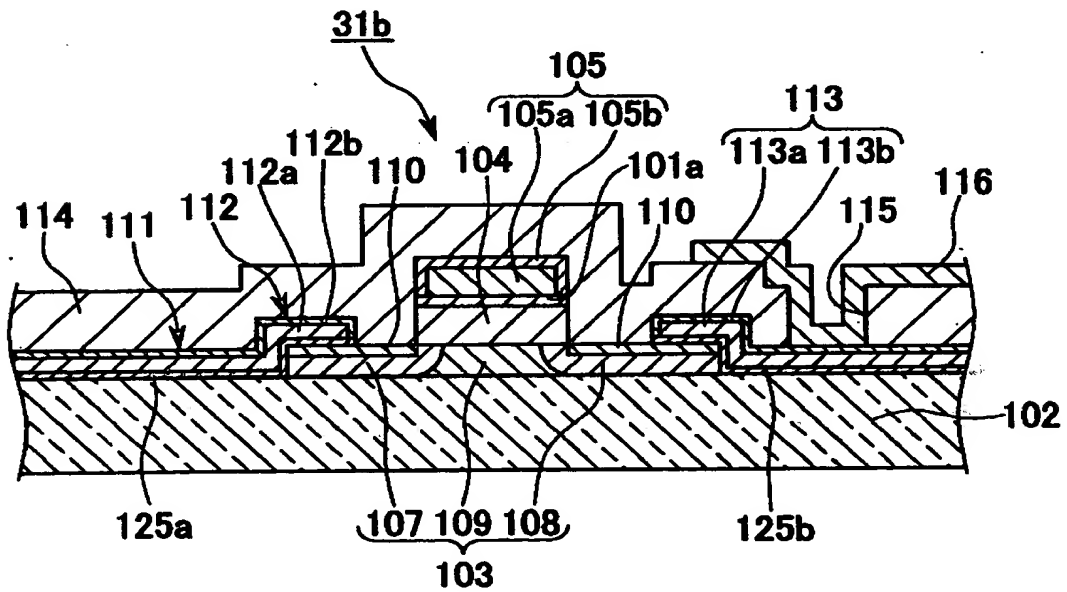
【図 12】



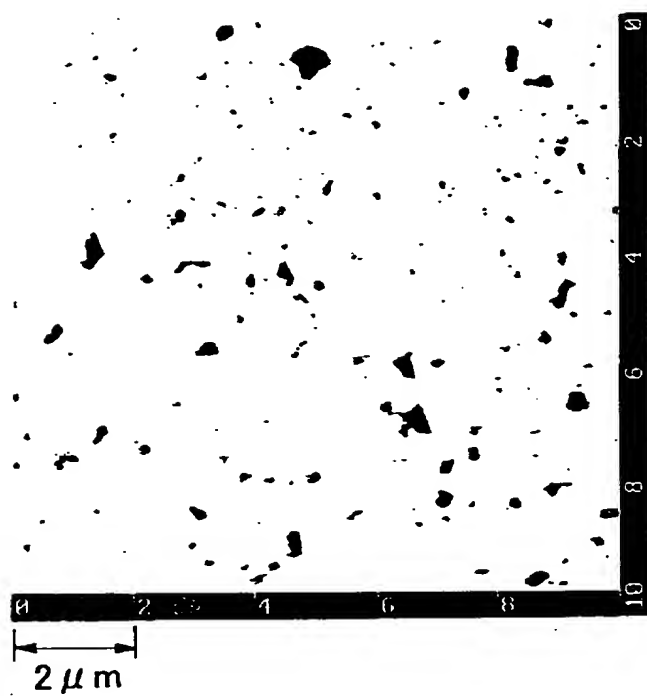
【図 13】



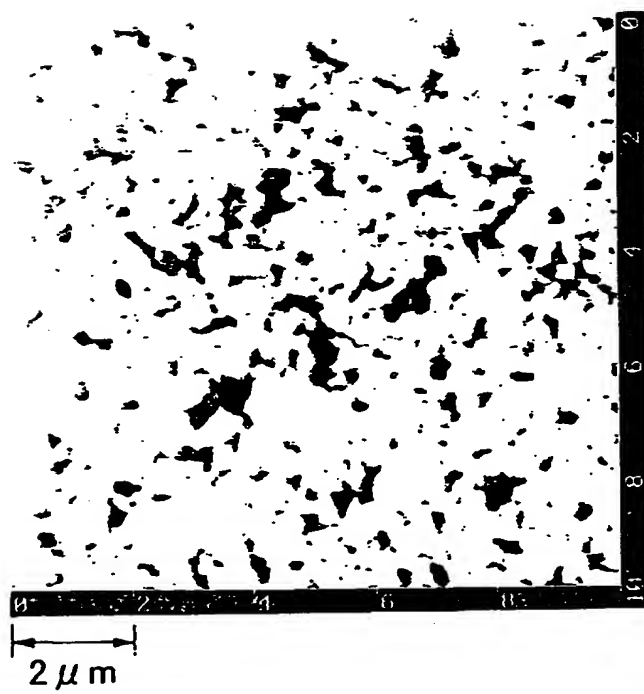
【図 14】



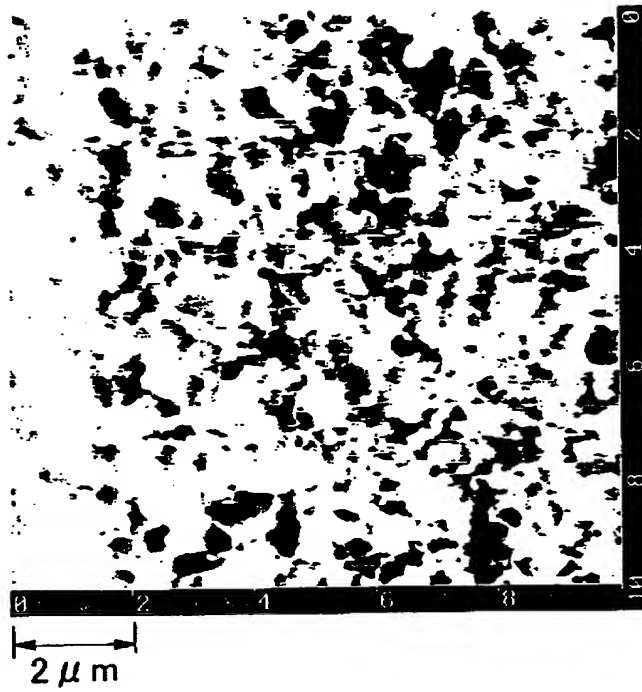
【図 1 5】



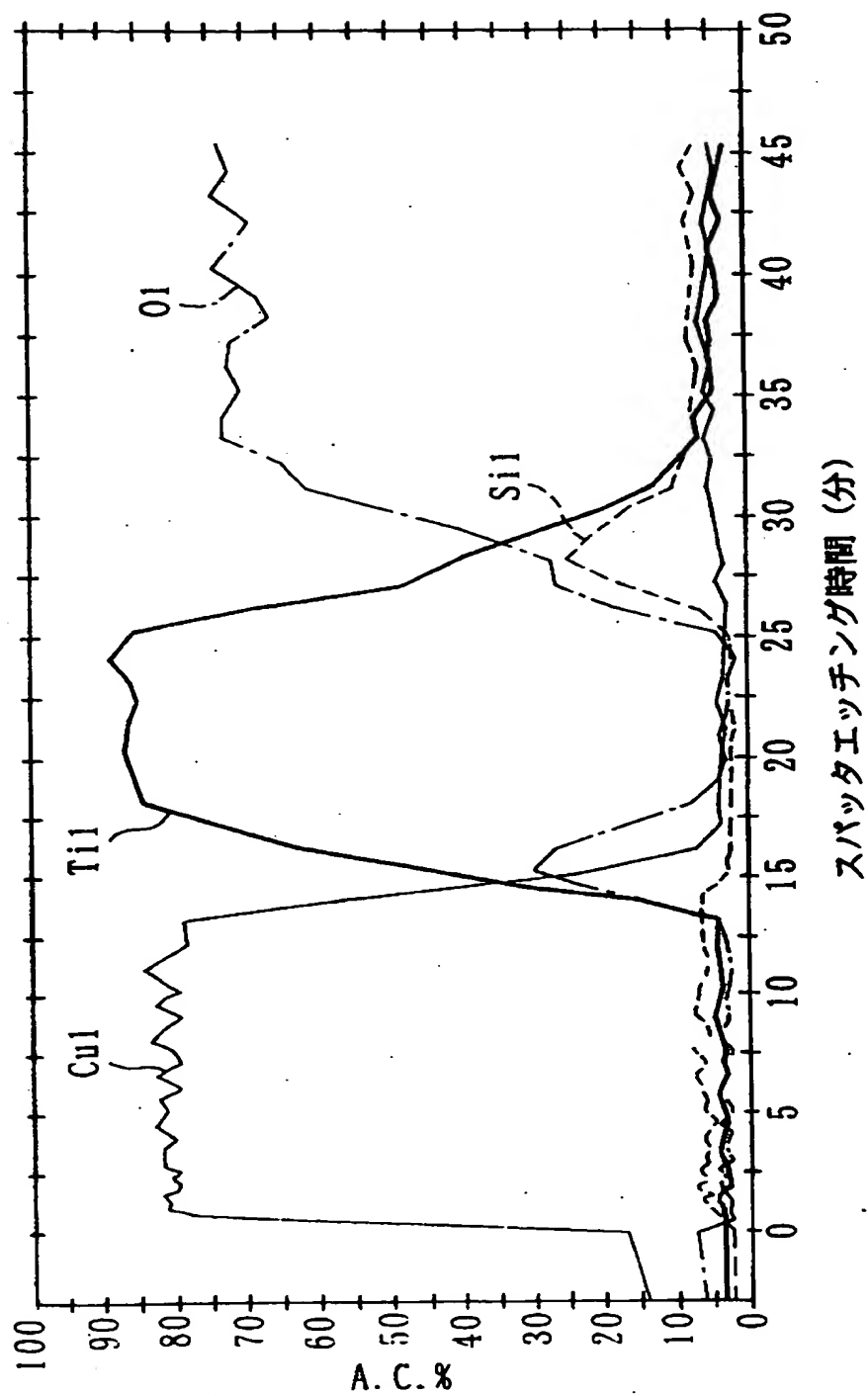
【図 1 6】



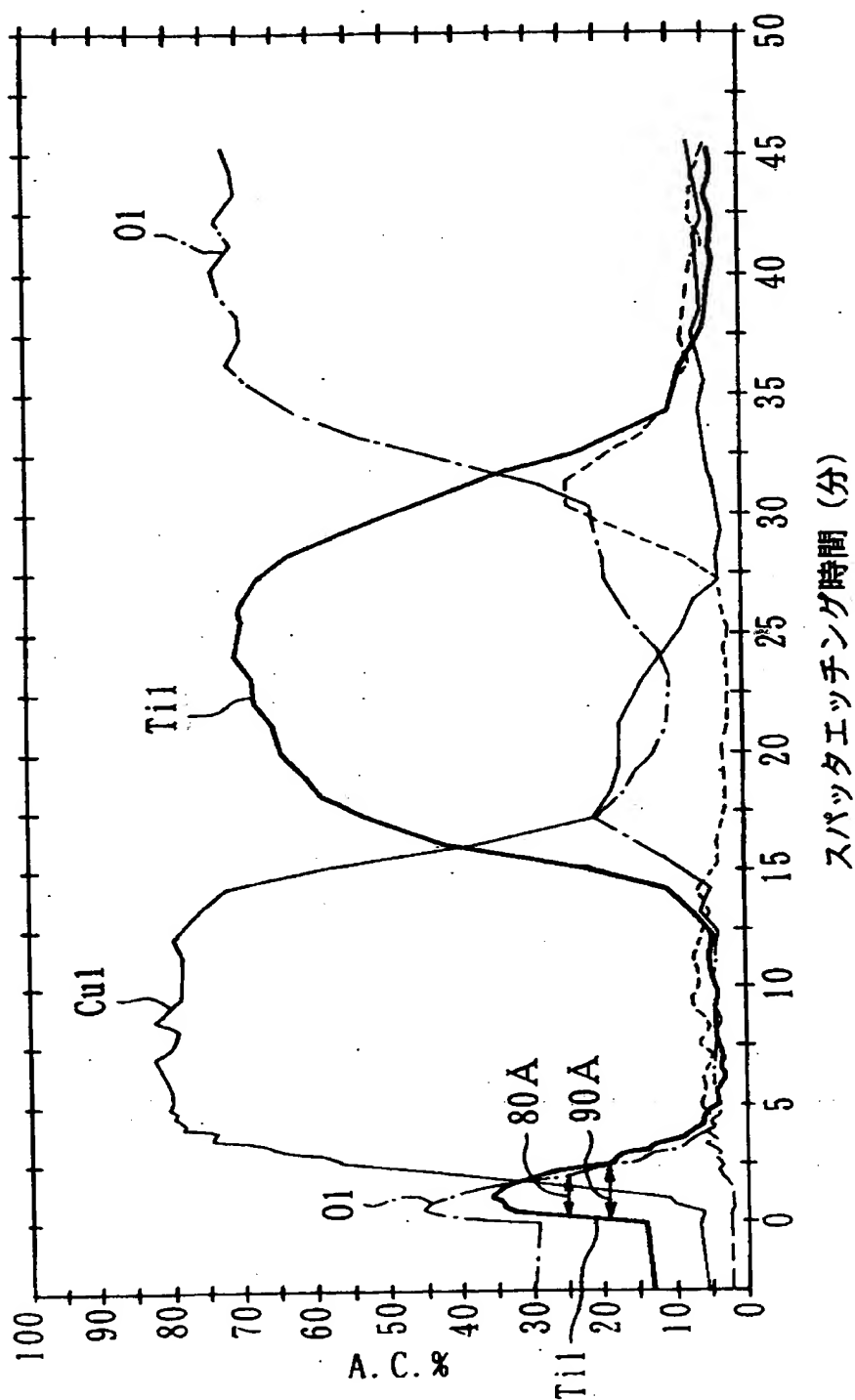
【図 1 7】



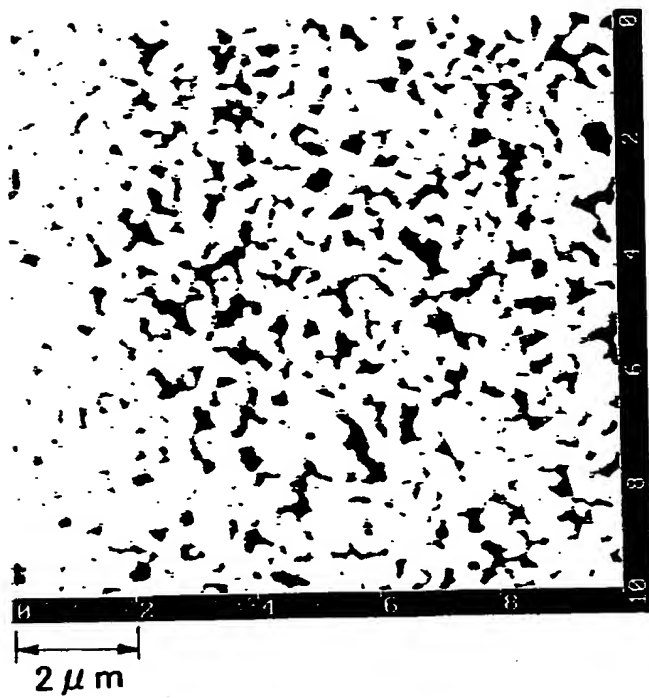
【図 18】



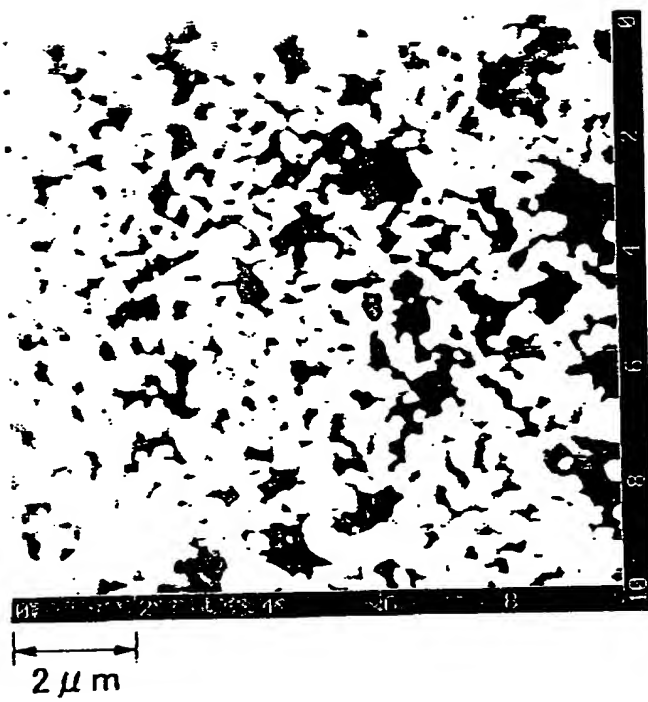
【図 19】



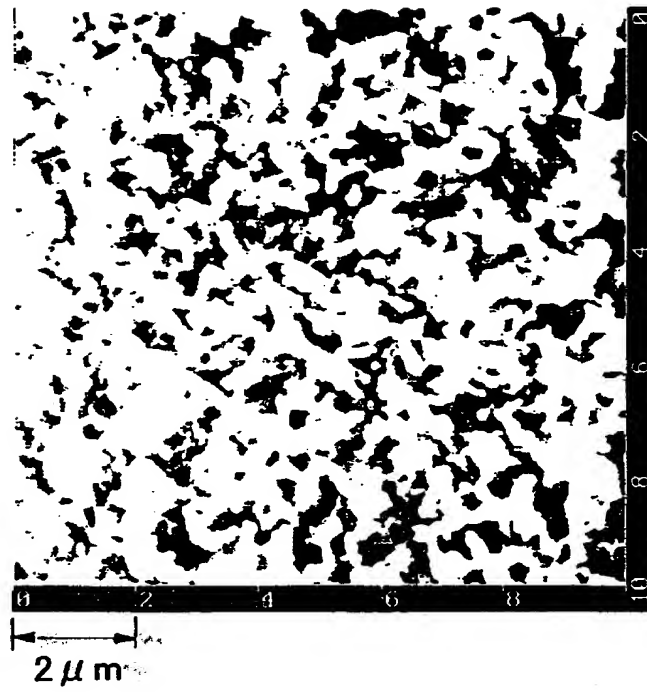
【図 2 0】



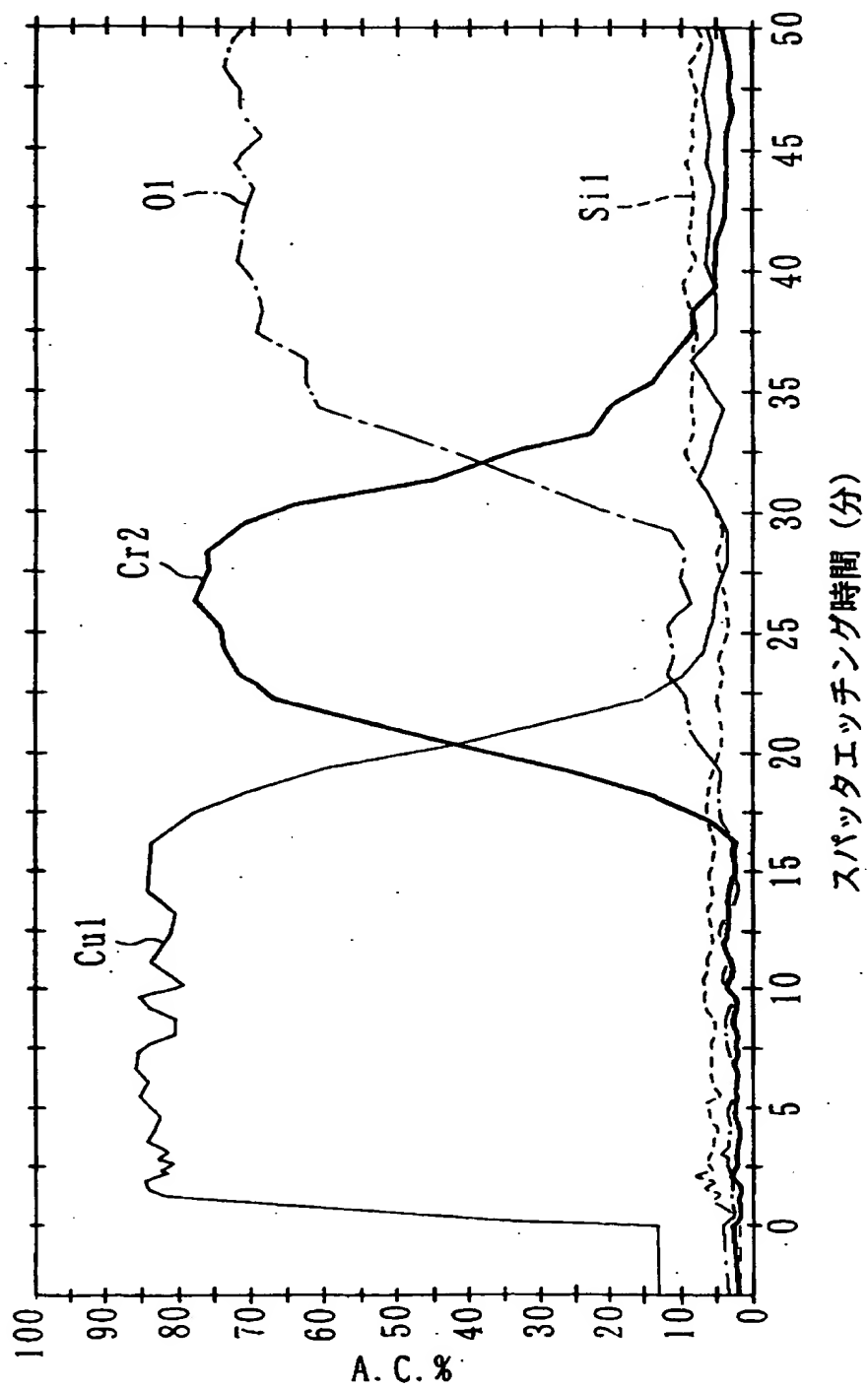
【図 2 1】



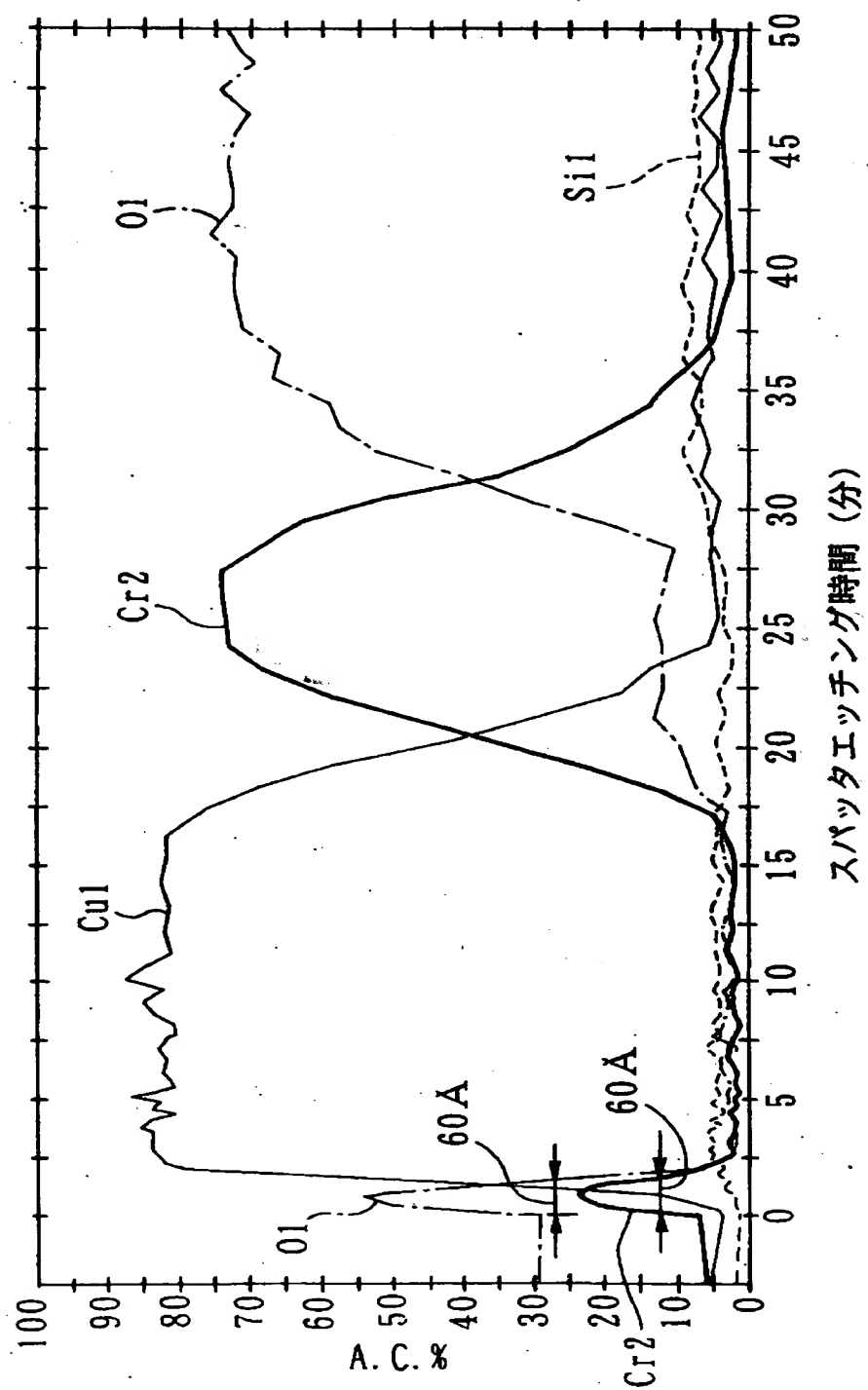
【図 2 2】



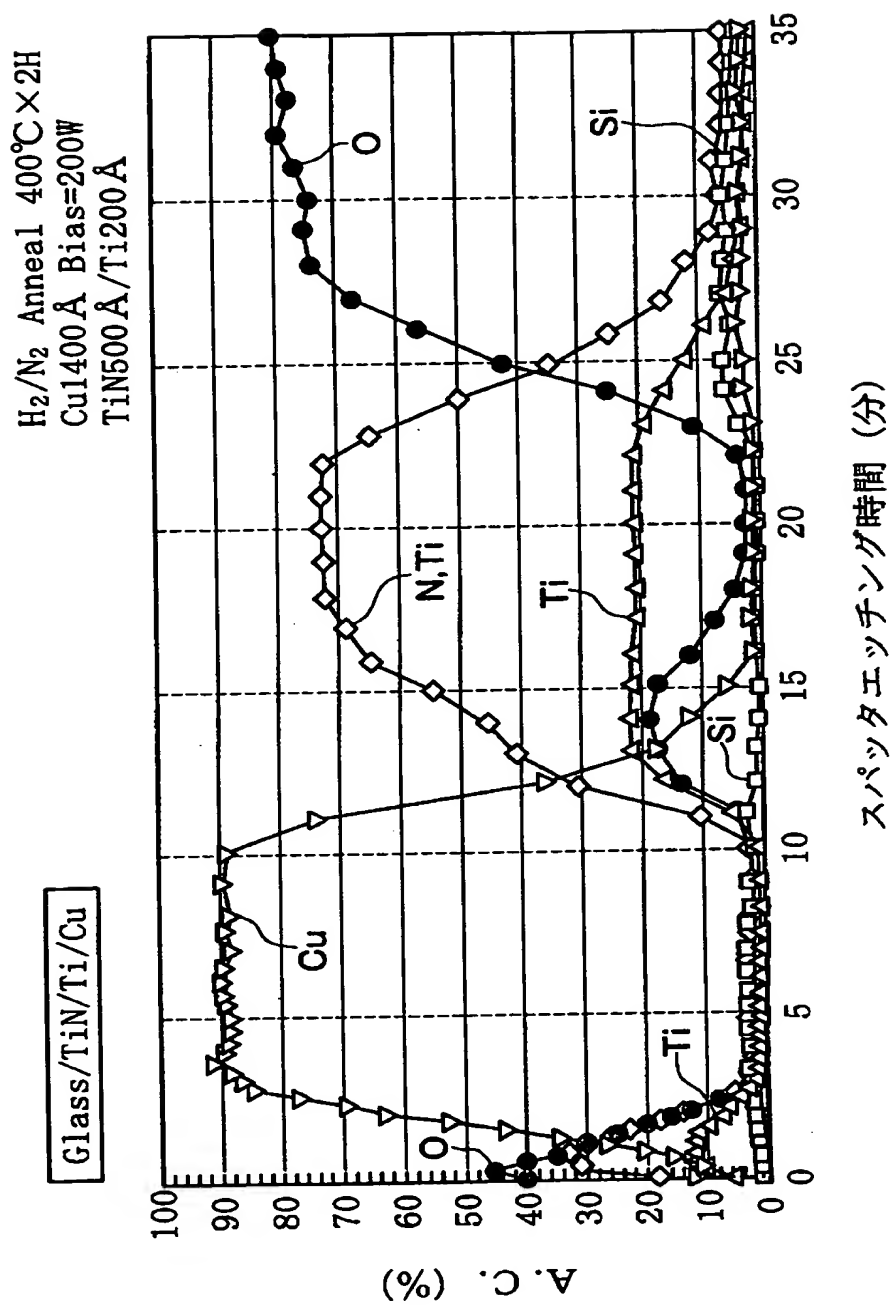
【図 23】



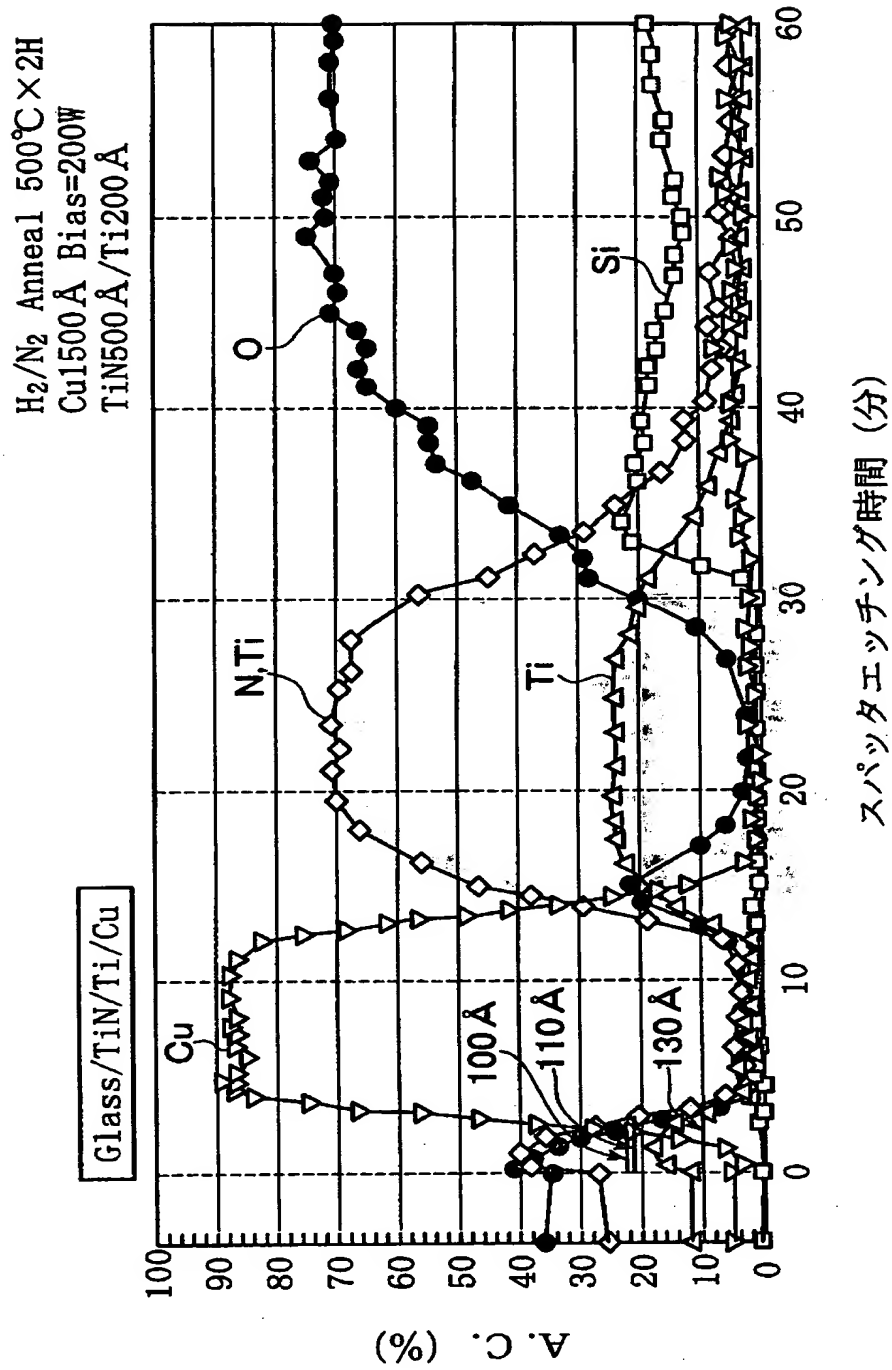
【図 24】



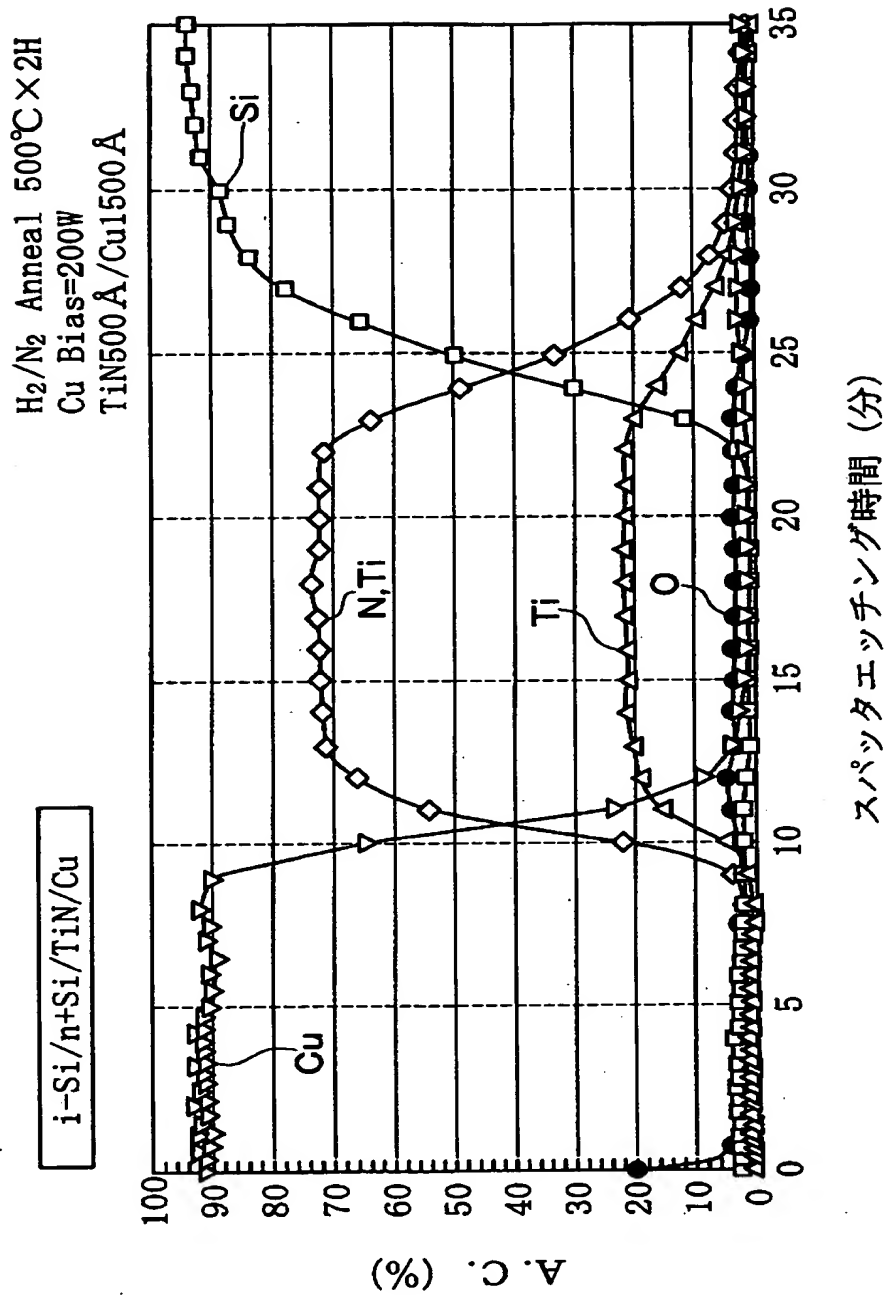
【図 25】



【図 26】

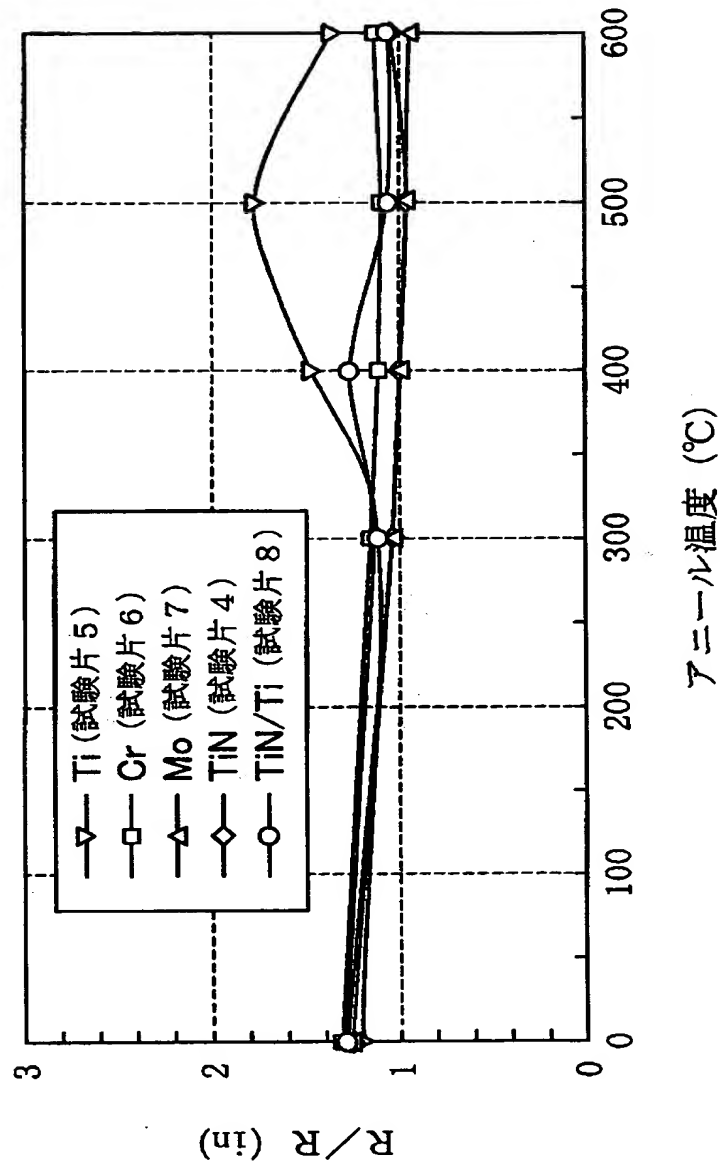


【図 27】

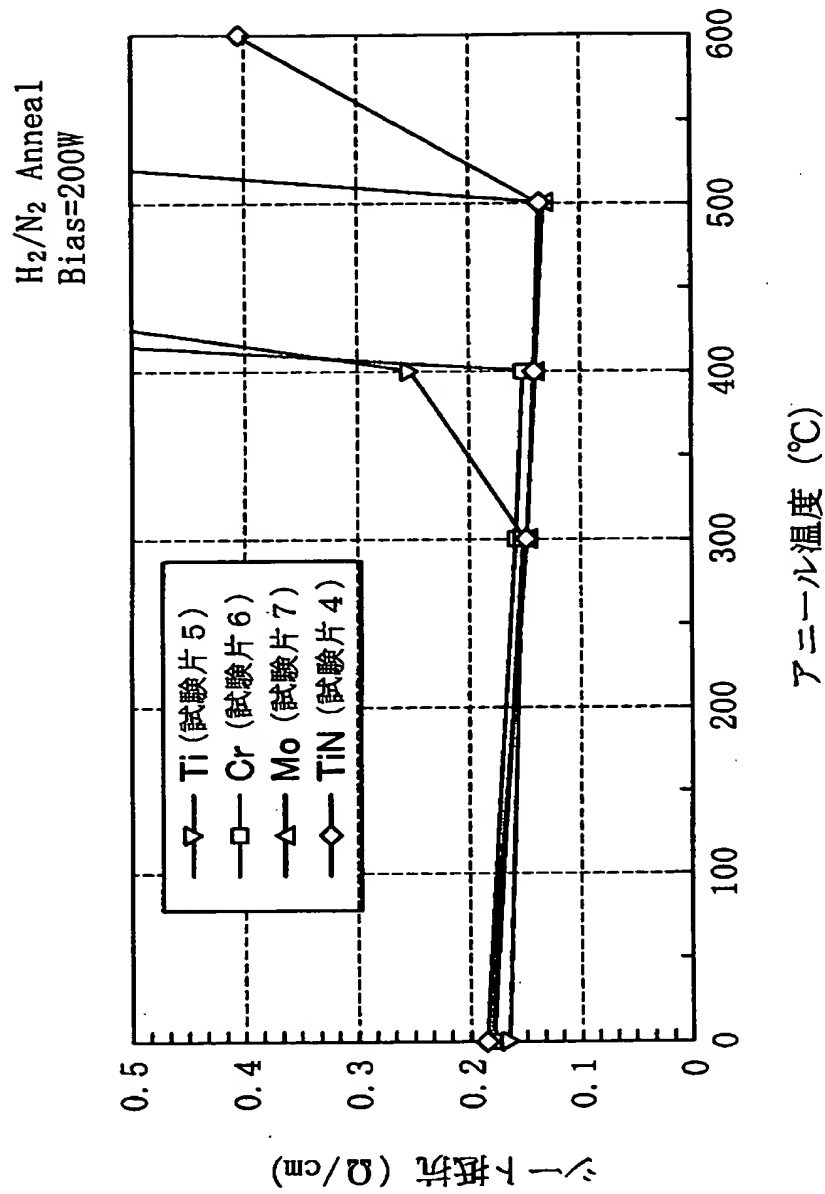


【図 28】

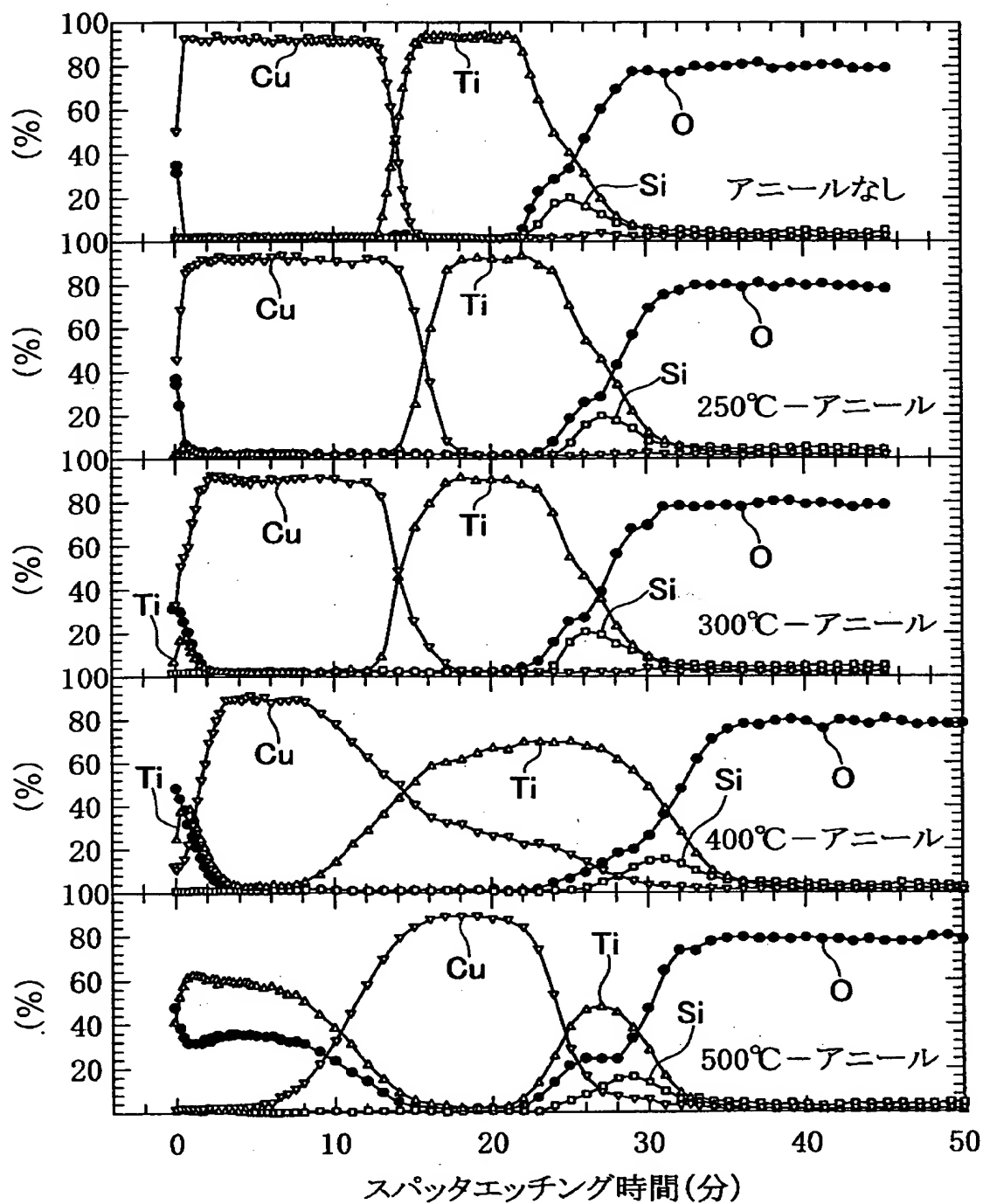
H₂/N₂ Anneal × 2hrs
Cu1500 Å Bias=200W



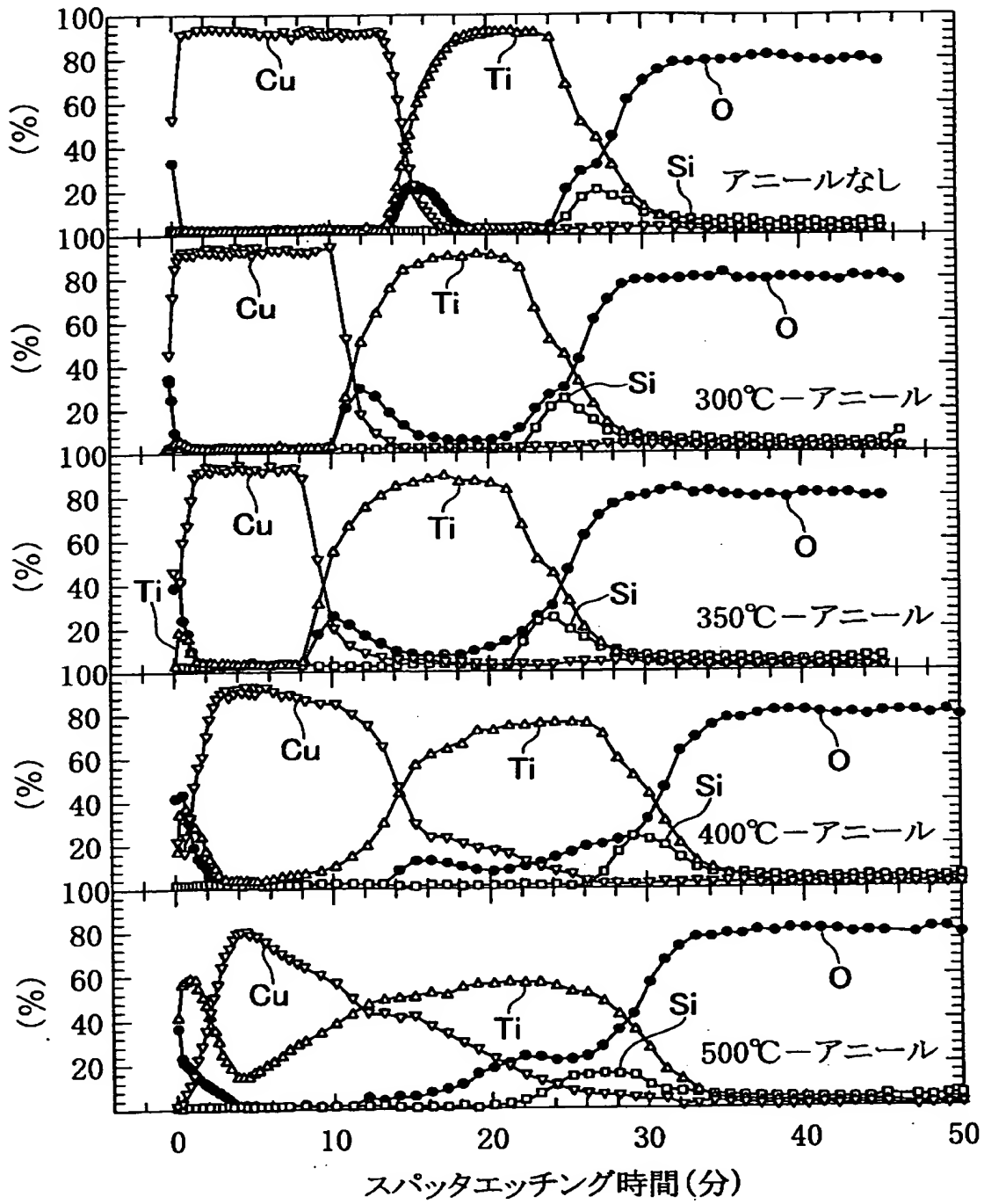
【図 29】



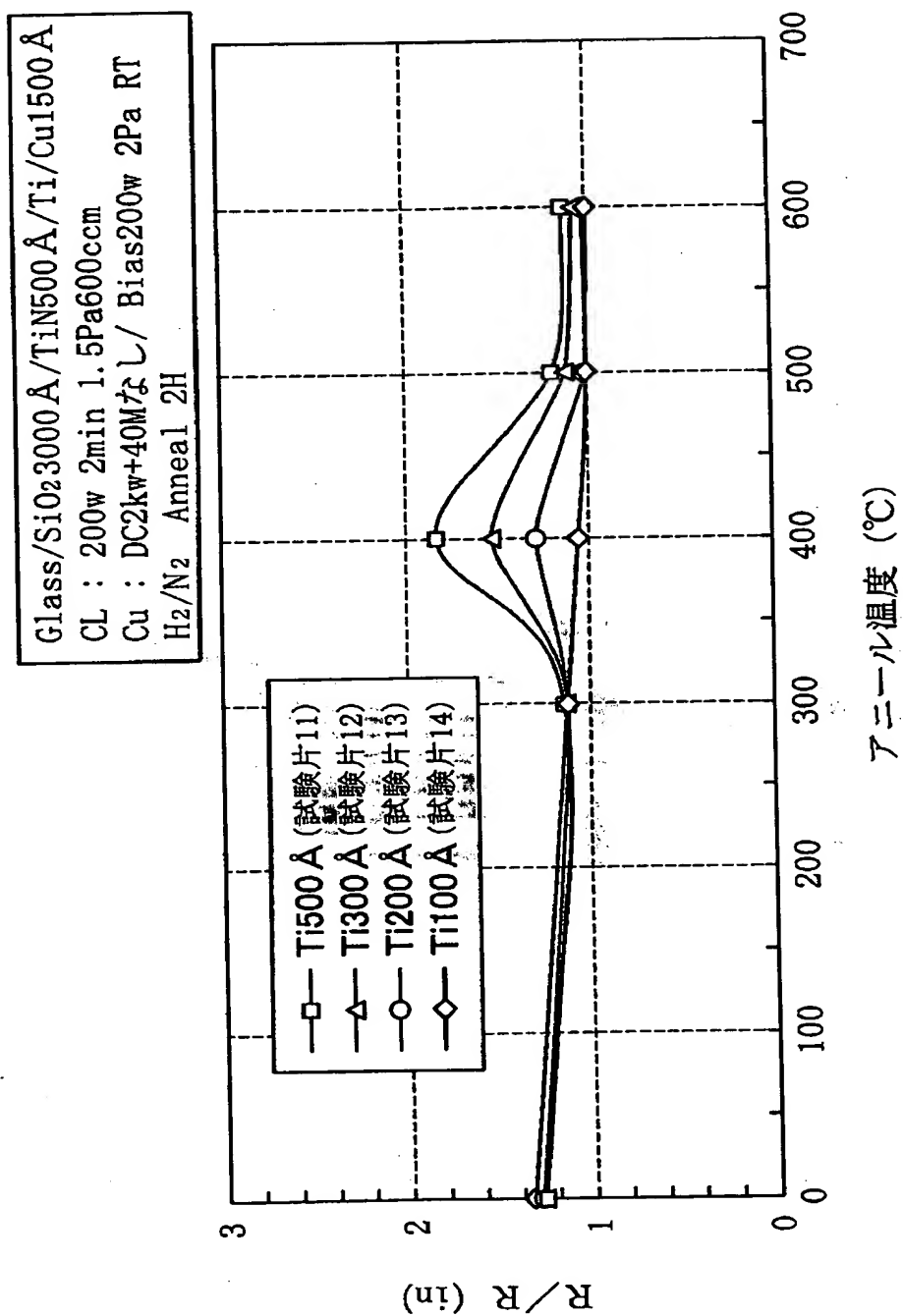
【図 30】



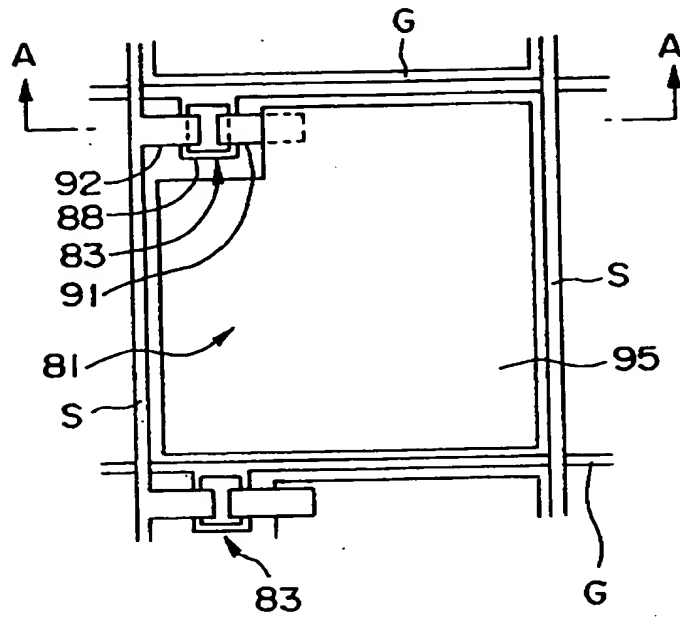
【図 3 1】



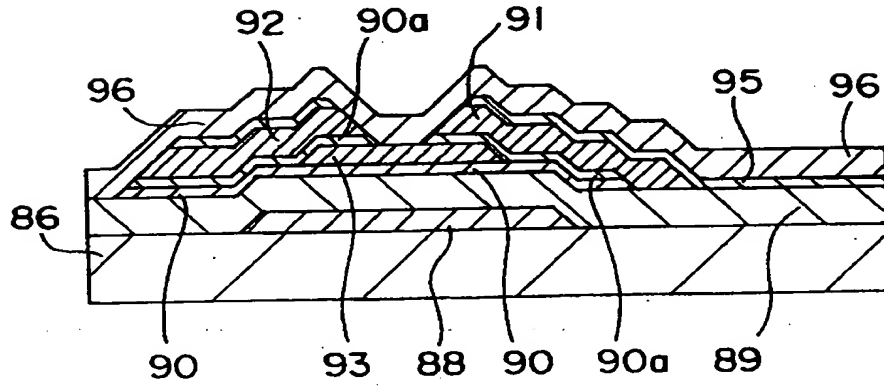
【図 3 2】



【図 3 3】



【図 3 4】



【書類名】 要約書

【要約】

【課題】 低抵抗の銅を配線材料として用いる場合に、水分やレジスト剥離液に対する耐酸化性を向上でき、しかもエッチング剤などに対する耐酸性を向上でき、下地との密着性を向上でき、さらに隣接膜との間での元素の相互拡散を防止できる配線とこれを用いた薄膜トランジスタ基板およびその製造方法と、そのような薄膜トランジスタ基板を備えた液晶表示装置の提供。

【解決手段】 銅層 4 0 a の周囲に、チタン原子数に対する酸素原子数の比が 1 対 0 乃至 1 対 2 である組成の被膜 4 0 b を有することを特徴とするゲート電極（配線） 4 0 と、該ゲート電極（配線） 4 0 を有することを特徴とする薄膜トランジスタ基板 3 1 と、対向配置された一对の基板の間に液晶が挟持され、上記一对の基板の一方が薄膜トランジスタ基板 3 1 であることを特徴とする液晶表示装置。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成 11 年 特許願 第 224692 号
受付番号	59900767462
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 11 年 8 月 12 日

<認定情報・付加情報>

【特許出願人】

【識別番号】

395003523

【住所又は居所】

宮城県仙台市泉区明通三丁目 31 番地

【氏名又は名称】

株式会社フロンテック

【代理人】

申請人

【識別番号】

100064908

【住所又は居所】

東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ
ル 志賀国際特許事務所

【氏名又は名称】

志賀 正武

【選任した代理人】

【識別番号】

100108578

【住所又は居所】

東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ
ル 志賀国際特許事務所

【氏名又は名称】

高橋 詔男

【選任した代理人】

【識別番号】

100089037

【住所又は居所】

東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ
ル 志賀国際特許事務所

【氏名又は名称】

渡邊 隆

【選任した代理人】

【識別番号】

100101465

【住所又は居所】

東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ
ル 志賀国際特許事務所

【氏名又は名称】

青山 正和

【選任した代理人】

【識別番号】

100094400

【住所又は居所】

東京都新宿区高田馬場 3 丁目 23 番 3 号 ORビ
ル 志賀国際特許事務所

次頁有

認定・付加情報（続き）

【氏名又は名称】	鈴木 三義
【選任した代理人】	
【識別番号】	100106493
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	松富 豊
【選任した代理人】	
【識別番号】	100107836
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	西 和哉
【選任した代理人】	
【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

次頁無

出 願 人 履 歴 情 報

識別番号

[395003523]

1. 変更年月日

1995年 2月16日

[変更理由]

新規登録

住 所

宮城県仙台市泉区明通三丁目31番地

氏 名

株式会社フロンテック

THIS PAGE BLANK (USPTO)